

Sistemas Digitais
Prof. Luís Caldas
Teoria

Módulo zero: Programa de Teoria - Disciplina Área Digital

Módulo	Cap.	Seção	Pág,	Assunto
1	3	3.1 a 3.34	19 a 27	Redes de Petri – Princípio, Definição de estado e marcações da rede, matriz de incidência.
2	3	3.35	27 a 35	Definição e exemplos de rede segura, rede viva e reinicializável.. Rede demarcada - Exercícios
3	4	4.1 a 4.3	36 a 40	Implementações de problemas de lógica seqüencial, concorrente e paralelo. Exercícios. Problema do barqueiro, problemas de computações, fluxo de dados e conflito e concorrência.
4	4	4.3	41 a 47 54 a 55	Exercícios de lógica seqüencial. Equações de estados e saída – Implementação usando lógica de um flip-flop por estado.
5	1	1, 2 e 3	3 a 11	Fluxo de dados Geral, definições de nível de transferência entre registrador.
6	1	4	12 a 15	Fluxo de dados complexo - Implementação de algoritmos e construção de um sistema digital completo.
7	1	4	16 a 20	Implementação de algoritmos e construção de um sistema digital completo.
8	1	5	21 a 26	Implementação de algoritmos e construção de um sistema digital completo.

Módulo zero: Descrição dos capítulos a serem abordados em cada módulo funcional de aula.

Objetivo: Introduzir o conceito de sistemas concorrentes e paralelos. Introduzir a ferramenta que é um mecanismo para descrição desses tipos de sistemas, conhecida como Redes de Petri. Definições de estados e marcações da rede, com a construção de diagrama de marcações e definições de redes segura, viva, reinicializável. Exemplos e exercícios de consolidação e projeto de sistemas sequenciais com redes de Petri. As implementações por lógica de um flip-flop por estado e por equações de estados e saída. Introdução a projetos aplicando o conceito de nível de transferência entre registradores. Estudo de fluxo de dados geral para algoritmos simples com nível único de armazenamento e arquitetura de fluxo de dados complexo para implementação de algoritmos complexos com nível de registro para 4 bytes de dados. Exercícios em geral para consolidação do conhecimento.

O módulo 1 trata de definição de um mecanismo de descrição de sistemas combinacionais, sequenciais e concorrentes. É introduzida a Rede de Petri como mecanismo formal de descrição de sistemas, cujo modelo gráfico é definido pela tripla L, T e A, onde L são lugares da rede, T são as transições da rede e A são os arcos orientados da rede. A rede de Petri permite descrever o comportamento do sistema pelas etapas e evoluções, mas devem obedecer algumas regras de disparo da rede, conflitos e outros. A rede de Petri estudada possui somente um anel ou “token” e uma marcação da rede corresponde a um estado do sistema. Um diagrama de estado é um grafo o qual representa a descrição da rede ou a sua

resposta de acordo com as transições válidas ou disparáveis. São definidas as regras de evoluções da rede de Petri e introduzido o conceito de marcação inicial da rede. A sequência de disparo das transições leva ao número de estados ou de marcações da rede. Uma rede de Petri pode ser descrita como uma representação matricial, ou seja, pode verificar se a rede possui “dead lock”, conflitos e outros através de simulações. Pode determinar o número de marcações da rede e gerar equações de estados, implementações com circuitos de tecnologia FPGA.

O módulo 2 trata de algumas definições da rede como rede segura, rede viva e rede reinicializável. São feitas várias simulações da rede trocando a marcação inicial e levantando o diagrama de marcações da rede a partir da marcação inicial. Alguns exemplos são resolvidos e é introduzido o conceito de rede demarcada.

O módulo 3 trata de implementar problemas diversos e algoritmos diversos como o problema do barqueiro, um problema interessante que pode ser modelado por Rede de Petri, em seguida o problema de protocolo de comunicação de dados e de fluxo de dados. É introduzido nesse módulo o conceito de conflito e concorrência de sistemas. Para cada uma das situações é feita somente a análise por redes de Petri.

O módulo 4 trata de definir a rede através das equações de estados e saída. A implementação pelas equações de estados e saída usa a lógica de um flip-flop por estado. Vários exemplos práticos e reais são feitos com a descrição do sistema por uma rede de Petri, a descrição pelas equações de estados e a implementação completa de um flip-flop por estado.

O módulo 5 é o divisor entre os subsistemas digitais e as ferramentas de descrições de sistemas e o projeto de sistemas digitais completos. É introduzido o conceito de lógica no nível RTL, de lógica de transferência entre registradores. É apresentado o fluxo de dados geral o qual é preparado para resolver algoritmos simples que utiliza somente um registro de dados. É desenvolvido o algoritmo de descrição do sistema através de um fluxograma. Desse fluxograma pode-se implementar ou uma F.S.M. ou uma rede de Petri como modelo de descrição do sistema. É projetada a unidade de controle para o fluxo de dados geral. Qualquer uma das ferramentas serve para implementação do problema e a título de exercício são feitas as duas implementações.

O módulo 6 é apresentado um fluxo de dados complexo para solução de problemas ou algoritmos que utilizam mais de um registro temporário. É introduzido o registrador de arquivos como um bloco funcional e adicional ao fluxo de dados geral. É mostrada a arquitetura do registrador de arquivos e é proposto um exercício com aplicação do fluxo de dados complexo.

O módulo 7 é uma implementação do exemplo é feita por uma F.S.M. e por uma rede de Petri. Uma simulação do problema através de diagrama de tempo é apresentada.

O módulo 8 é uma implementação de um sistema digital completo capaz de comparar 3 números de 8 bits de entrada e colocá-los em ordem crescente. É desenvolvido o fluxograma do algoritmo de ordenação dos 3 números e projetada a unidade de controle por F.S.M. e por rede de Petri. Do fluxograma são geradas as instruções e palavras de controle as quais devem ser geradas pela unidade de controle U.C. e a definição do conjunto de sinais de controle que devem ser gerados pela U.C. e recebidos pelo fluxo de dados. Exercícios diversos são propostos.

Bibliografia

Referência: Texto – São apostilas completas com teoria e exercícios.

1. Apostila de Redes de Petri – Caldas, L, Lemos, F.E.C., Castro, M.C. e Horta, E., Bianco, O.D.
2. Apostila de Fluxo de dados – Caldas, L e Castro, M.C.

Outras Referências

1. Sistemas Digitais Princípios e Aplicações- Tocci, R. J, Widmer, N. S e Moss, G.L. – ano 2007 - 10.a edição – Editora Pearson.
2. Sistemas digitais projeto, otimização e HDLs – Vahid, F – ano 2007 – 1.a edição - Editora Bookman Companhia ED.
3. Eletrônica Digital Moderna e VHDL – Pedroni, V.A. - ano 2010 – 1.a edição – Editora Elsevier.
4. Sistemas Digitais uma abordagem integrada – Uyemura, J.P. ano 2000 – 1.a edição – Editora Thomson Pioneira.
5. Sistemas Digitais – Fundamentos e Aplicações – Floyd, T – ano 2007 – 9.a edição – Editora Bookman Companhia ED.
6. Introdução aos Sistemas Digitais - Ercegovic, M. D, Thomas, L e Moreno, J. H. - ano 2000 1.a edição – Editora Bookman Companhia ED.

MÓDULO 01: CONVERSORES DIGITAIS ANALÓGICOS

O mundo é analógico e a comunicação entre o ele e um computador digital é através de uma interface capaz de converter o sinal analógico vindo de um condicionador de sinal em um número de bits. O condicionador de sinal analógico recebe um sinal analógico de um transdutor elétrico e lineariza o sinal e converte em um padrão analógico de 0 a +5V, 0 a 20mA ou 4 a 20mA. Muitas vezes, o computador envia dados ao mundo analógico, como tensão ou corrente de referência, sinal de erro para correção do valor de saída para o valor desejado, enfim a informação passa por uma interface a qual converter dados digitais em sinais analógicos.

O esquema a seguir mostra o esquema de uma planta industrial sendo controlada por um computador cuja comunicação entre eles é por meio da interface analógica para digital e digital para analógico.

Um diagrama de bloco de um sistema em malha fechada de controle de uma grandeza física em uma planta é descrito a seguir.

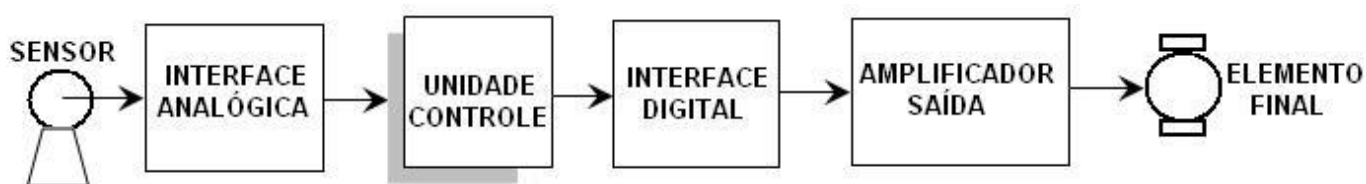


Figura: Diagrama de bloco para representação de um sistema com uma planta discretizada.

TERMINOLOGIA

A terminologia é muito importante, pois os termos definidos serão na sua maioria de ordem prática.

DAC – Conversão digital analógica – É uma interface capaz de converter uma informação digital, normalmente binária de n bits, em uma proporcional tensão ou corrente.

ADC – Conversão analógica digital – É uma interface capaz de converter um sinal analógico, normalmente dentro de padrões de tensão e corrente, em uma informação digital de n bits.

PLANTA – É uma instalação com certa característica a qual responde a uma excitação de entrada em tensão ou corrente com um específico comportamento dinâmico.

Resolução – É a menor quantidade de tensão ou corrente entre dois sucessivos passos.

Fundo de escala – É a maior quantidade de tensão ou corrente, ou o valor máximo de um conversor DAC.

Contador – É um dispositivo utilizado no conversor analógico digital de rampa digital, o qual conta de zero até o máximo, ou seja, até o fundo de escala.

Dupla-rampa – É um princípio de operação do conversor analógico digital onde a conversão é feita por um circuito RC em dois ciclos: o ciclo inicial um capacitor é carregado com a tensão a ser convertida e o segundo ciclo vem a descarga do capacitor. A relação entre a carga e a descarga proporciona o valor digital de saída.

Rampa digital – É um princípio de operação do conversor analógico digital onde a conversão é feita com o auxílio de um contador e um DAC. A rampa digital gerada na saída do DAC é comparada ao valor da tensão de entrada. O valor digital de saída é fornecido pelo contador quando a comparação é finalizada.

Aproximação sucessiva – É um princípio de operação do conversor analógico digital onde a conversão é feita com o auxílio de um registrador e um DAC. A entrada digital para o registrador é fornecida por uma unidade de controle e enviada há um DAC. A saída do DAC é comparada ao valor da tensão de entrada. O valor digital de saída é fornecido pela unidade de controle quando a comparação é finalizada.

Flash - É um princípio de operação do conversor analógico digital onde a conversão é feita com o auxílio de $2^n - 1$ comparadores. Cada um dos comparadores possui um valor de referência proporcional resolução do conversor, onde zero é igual a zero Volt e o fundo de escala é igual a $(2^n - 1)$ multiplicado pela resolução. O valor digital de saída é fornecido pela posição do comparador mais significativo ativo.

Tensão e frequência – É um princípio de operação onde a tensão analógica a ser convertida é convertida por um circuito, em frequência. É um tipo de frequencímetro, pois a medida do número de pulsos, centro de uma base de tempo é o valor digital que é proporcional a tensão ou corrente de entrada.

Sigma-Delta - É um princípio de operação do conversor analógico digital e digital analógica onde a conversão é feita por um circuito digital. Através de subtrações com realimentação a conversão é realizada. Opera com cordões de bits e o processo é bit a bit.

Precisão – É um desvio máximo que o conversor apresenta na saída e não é acumulativo.

Monotonicidade – É uma propriedade do conversor onde a saída do DAC aumenta com o incremento na entrada digital.

Erro de quantização – É um erro intrínseco na conversão analógico digital. O erro é presente na conversão quando a tensão a ser convertida é múltipla exata da resolução do DAC interno.

Erro de fundo de escala – É um desvio intrínseco do conversor digital analógico e é referido em uma porcentagem do fundo de escala do DAC.

Digitalização – É um processo de conversão do sinal analógico em informação digital para posterior reprodução do sinal.

Amostragem – É o processo de leitura de um sinal analógico realizados dentro de um determinado intervalo de tempo.

Sample and Hold – É um circuito capaz de armazenar um sinal analógico variando no tempo (memória analógica) e manter o seu valor durante um período de tempo, por exemplo, até que a conversão analógica digital seja realizada.

Aquisição de dados – É a conversão em dados ou valores numéricos para um computador de um processo físico.

CONVERSORES DIGITAIS ANALÓGICOS

A conversão digital analógica é um processo o qual recebe uma informação digital vinda de um computador ou de uma unidade de controle, local ou remota, a qual converte para um valor analógico ou em tensão ou em corrente. A quantidade de tensão ou corrente mínima gerada pelo DAC, por exemplo, quando a entrada digital é igual ao número um é igual à resolução do DAC. Os valores de saída do DAC são proporcionais à resolução, então se pode escrever:

Saída Analógica = resolução x entrada digital.

Um esquema de representação do conversor DAC é mostrado a seguir.

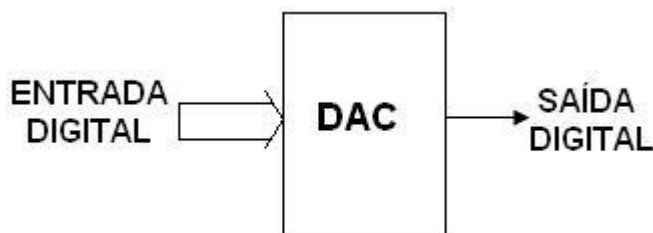


Figura: Conversor Digital Analógico - DAC

Exemplo: Um conversor DAC tem uma resolução igual a 1V. Sabendo-se que o número de bits do conversor DAC é de três bits, pede-se:

7. Preencher uma tabela da verdade com entrada digital e saída do DAC.
8. Qual o valor de fundo de escala do DAC.

a) A tabela da verdade do DAC.

b) A.F.S = 7V.

(Valor analógico de fundo de escala).

A2	A1	A0	S(V)
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

O número de degraus no exercício anterior é igual a 7, assim a resolução de um DAC de n bits é definido como:

$$K = \text{A.F.S.}/2^n - 1$$

Exemplo: Um conversor DAC tem uma tensão analógica de fundo de escala igual a 5,1V. Sabendo-se que o número de bits do conversor DAC é de oito bits, pede-se:

- a) Qual a resolução do DAC.
- b) Qual o valor da tensão de saída para entrada digital igual a 20.

- a) A resolução é igual a $K \frac{A.F.S}{2^n - 1} \Rightarrow K \frac{5,1}{255} 20mV$
 b) $V_{SAÍDA} = 20mV \times 20 = 400mV$.

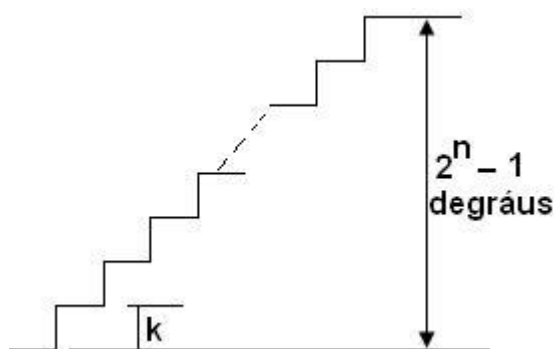
EXEMPLO: Um conversor DAC de 8 bits gera a corrente de 0,1mA quando a entrada digital é igual a um. Pede-se:

- B) O valor da resolução do DAC.
 C) A corrente de fundo de escala do DAC.

- a) A entrada digital igual a um é a resolução do DAC igual a 0,1mA.
 b) $A.F.S = (2^8 - 1) \times 0,1mA = 255 \times 0,1mA = 25,5mA$.

RESOLUÇÃO PERCENTUAL

A figura a seguir mostra uma rampa digital, cuja resolução é igual a K, para um DAC de n bits.



Resolução Percentual = R%

$$R\% = \frac{K}{A.F.S} \times 100 = \frac{K}{K \cdot 2^n - 1} \times 100 = \frac{1}{2^n - 1} \times 100$$

Figura: Rampa digital saída de um DAC de n bits.

EXERCÍCIO: Um conversor DAC de 8 bits produz na saída uma corrente de 10mA para uma entrada digital igual a 50. Pede-se:

- a) A resolução do conversor DAC.
 b) A corrente de fundo de escala.
 c) A resolução percentual.

- a) $K = 10mA/50 = 0,2mA$
 b) $I_{AFS} = 255 \times 0,2 = 51mA$
 c) $\%R = 1/255 \times 100 = 0,4\%$

EXERCÍCIO: Um conversor DAC tem uma resolução percentual igual a 0,1%. Sabendo-se que a resolução do DAC é de 20 A. Pede-se:

- a) O número de bits do DAC.
 b) A corrente de fundo de escala.
 c) Para uma entrada digital igual a 40 a corrente produzida na saída.

a) $R\% = \frac{1}{2^n - 1} \times 100 = 0,1\%$ e $2^n - 1 \geq 1000$ e $n \cdot \log 2 \geq \log 1000$

$$n \geq \frac{\log 1000}{\log 2} \quad n \geq 9,96 \text{ e } n = 10 \text{ bits}$$

b) A.F.S. = $1023 \times 20\mu\text{A} = 20,46\text{mA}$.

c) I_{SAÍDA} = $40 \times 20\mu\text{A} = 800\mu\text{A}$

EXERCÍCIO: Um conversor DAC é utilizado no acionamento de um motor cuja rotação máxima é de 1.800 rpm. Pede-se:

a) Qual o número mínimo de bits do DAC para que o desvio máximo entre a rotação desejada e a rotação real seja no máximo 1 rpm.

b) Qual a rotação real de saída para uma rotação desejada de 250rpm.

Solução: Um desvio de 1 rpm $\Rightarrow \pm 1$ rpm. A resolução deve ser ≤ 2 rpm.

a) O número de bits.

$$2^n - 1 \frac{1.800}{2} \geq 900 \text{ e } 2^n \geq 901 \quad n \geq \frac{\log 901}{\log 2}$$

$n = 10$ bits.

A resolução real $K \leq \frac{1.800}{1023}$ $K \leq 1,7595$ rpm.

b) Rotação desejada 250 rpm \Rightarrow E.D. $250/1,7595 =$ E.D. = 142.

Rotação Real = $142 \times 1,7595 = 249,85$ rpm.

MÓDULO 02: CONVERSORES ANALÓGICOS E DIGITAIS – ADCs.

Os conversores ADCs são circuitos que realizam a interface entre o mundo analógico e o mundo digital. Como os DACs os ADCs existem vários tipos e vários princípios de conversões. Os tipos de ADCs são:

- Dupla rampa;
- Rampa digital;
- Aproximações sucessivas;
- Tensão freqüência;
- Flash;
- Sigma-Delta;
- Outros.

1. Rampa Digital – O princípio utilizado na rampa digital se baseia na geração de uma rampa digital produzida por um contador crescente de 0 a $2^n - 1$ estados aplicados na entrada de um DAC de n bits. A tensão gerada pelo DAC é comparada com a tensão de entrada a ser convertida. O resultado da comparação produz o fim de conversão em qualquer instante em que o comparador realizar uma troca no estado. O conteúdo do contador é proporcional ao valor da tensão de entrada a ser convertida. O contador é alimentado externamente por uma freqüência, a fim de contagem. O tempo de conversão é variável e depende do número de bits do DAC e da tensão de entrada. A estrutura interna do ADC de rampa digital é apresentada a seguir.

Estrutura Rampa Digital – A estrutura de um ADC de rampa digital é composta de um DAC de N bits, um comparador de amplitude, um contador de n bits e uma lógica de início e fim de conversão. Uma freqüência de entrada é aplicada a um contador para a conversão analógica para digital. A saída digital é saída do contador.

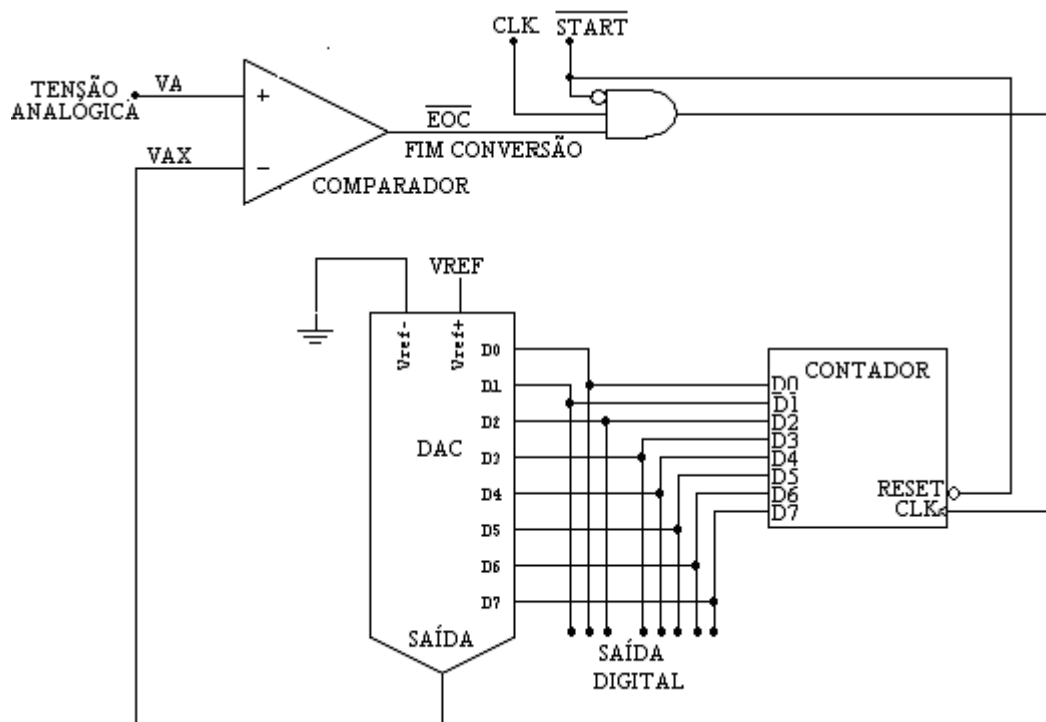


Figura: Estrutura de um ADC de rampa digital

Funcionamento: A operação do circuito ADC de rampa digital é descrito pela forma de onda a seguir.

Um sinal de $START = 0$ resulta no reset do contador e conseqüentemente quando é retirado marca o início de conversão. A tensão V_A de entrada do comparador comparada aa tensão V_{AX} gerada pelo DAC controla o fim da conversão quando $V_{AX} \geq V_A + V_T$, sendo V_T a tensão de limiar (threshold $\approx 0,1$ a 1 mV) do comparador. A saída do comparador vai a nível lógico zero e inibe a porta lógica E. Assim cessam-se os pulsos na entrada do comparador que mantém o último estado (valor da contagem). O conteúdo do contador é o resultado da conversão analógica para digital da tensão V_A . O processo é gerar uma rampa digital até que a rampa alcance á tensão analógica de entrada, a qual deve ser mantida constante durante o processo. Para precisão na medida é necessário um circuito “sample and hold” na entrada do ADC o qual realiza a função de memorizar analógicamente a tensão de entrada. O tempo de conversão é variável e pode ser máximo quando se atinge o fundo de escala numa medida.

2. Aproximações sucessivas – O ADC de aproximações sucessivas é baseado no princípio

ESTRUTURA INTERNA

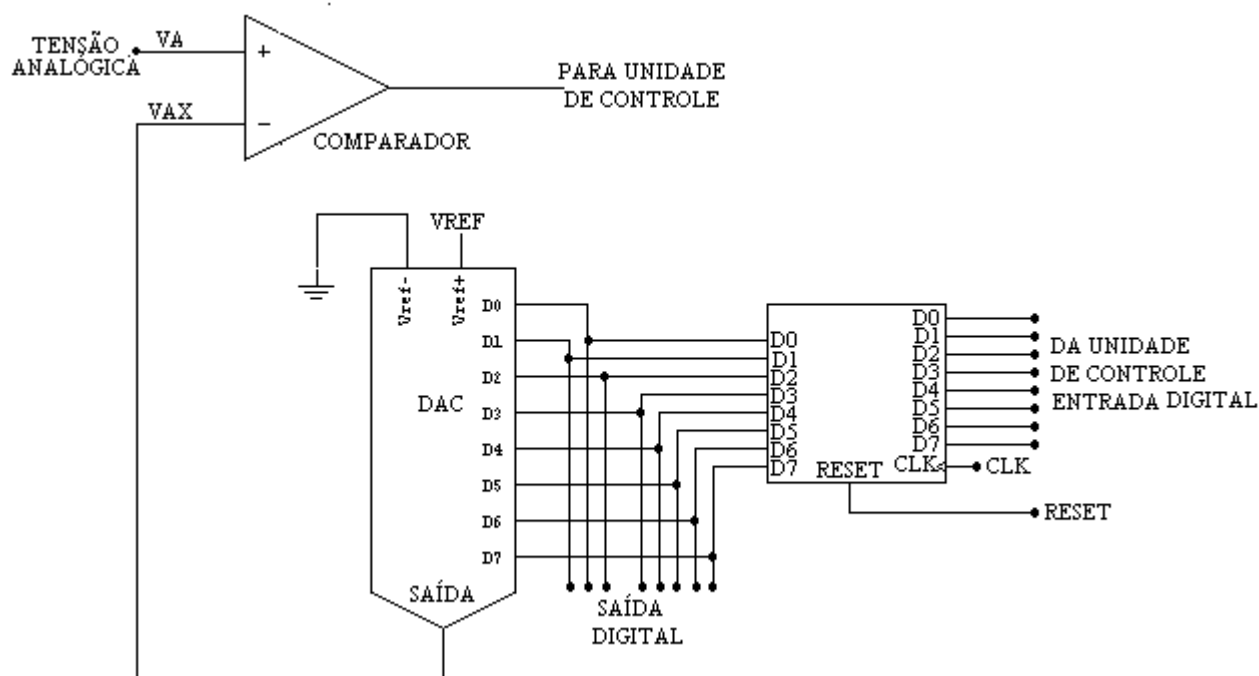
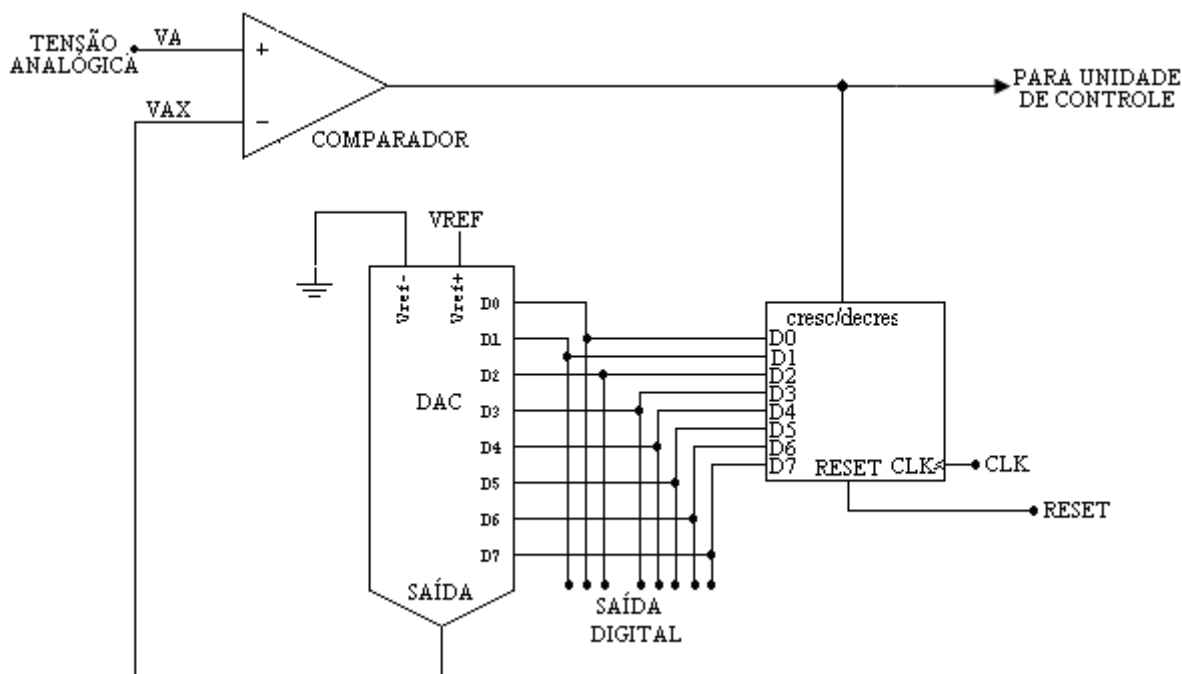


Figura: O ADC de aproximações sucessivas de 8bits.

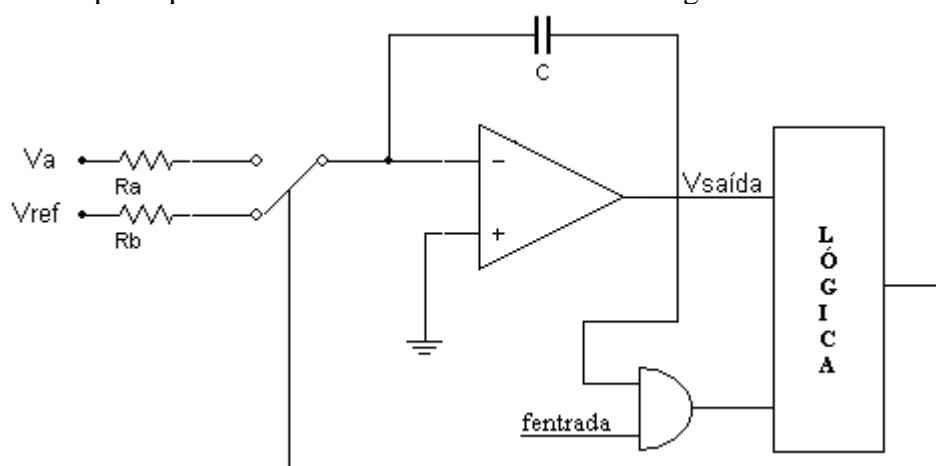
Rampa Digital por rastreamento – A estrutura interna do ADC por rastreamento cujo princípio é da rampa digital.

ESTRUTURA INTERNA



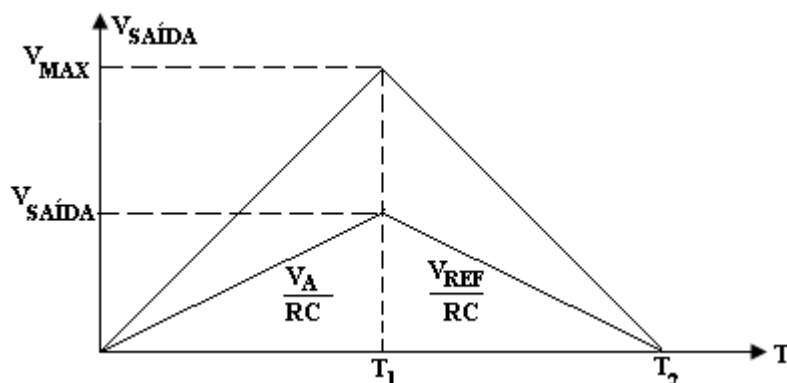
3. Dupla rampa

A maior aplicação do ADC de dupla rampa é na construção dos instrumentos digitais. Baseado num circuito RC carga e descarga, os ADCs são precisos, pois a precisão não está vinculada nos componentes RC. O princípio básico do conversor é conforme a seguir:



Funcionamento: O processo de conversão inicia com a tensão V_A a ser convertida. Conforme a curva a seguir, o constante de tempo RC é fixa e vale T_1 segundos. A inclinação da reta iniciando no ponto 0 da curva é proporcional a tensão de entrada, onde o capacitor se carrega com o valor dado por:
 $V_{SAÍDA} = V_A/RC.T_1$, onde T_1 é o intervalo de tempo que a tensão V_A é amostrada ao integrador.
 A partir deste instante, a segunda rampa inicia com a descarga do capacitor aplicando-se uma tensão de referência e negativa na entrada do integrador e permanecendo até que a tensão de saída do integrador chegue a zero volts, com a descarga total do capacitor. Um contador de capacidade 2^n-1

estados é disparado com a segunda rampa e inibido no final da rampa. O processo então pára e o valor contido no contador é proporcional à tensão V_A de entrada.



A tensão de saída pode ser escrita como: $V_{SAÍDA} = V_A \cdot T_1 / RC$ $T_2 = V_{SAÍDA} = V_{REF} \cdot T_2 / RC$.

$$V_A T_1 = V_{REF} \cdot T_2 \Rightarrow T_2 = V_A / V_{REF} \cdot T_1.$$

A tensão V_{REF} é a tensão de fundo de escala ou a tensão máxima da rampa de carga.

Exemplo: Um conversor de dupla rampa cuja a tensão de fundo de escala é igual a +10V. O tempo da rampa de carga é igual a 4.095ms. Para uma tensão de entrada igual a +2V. Pede-se:

- O período de tempo para a descarga do capacitor.
- Se a frequência de entrada do contador é iguala 1MHz, qual será a saída digital?
- Qual a resolução do ADC?

Vantagens:

- Pode ser construído para altíssimas resoluções;
- A precisão independe do circuito RC.

Desvantagens:

- A velocidade do conversor pode ser melhorada pelo sacrifício da resolução;
- O amplificador com offset na saída prejudica a precisão.

Observações: Conversores de dupla rampa são capazes de alcançar resoluções altas, como por exemplo, o caso do multímetro digital da Agilent 3458A, onde a mais alta resolução é alcançada numa relação de seis amostras por segundos. Por esta razão, estes conversores não são aplicados em sinais rápidos ou de alta frequência como áudio ou processamento de sinais. Os ADCs de dupla rampa são aplicados em instrumentos digitais e instrumentos que requerem alta precisão.

Exemplo: Um ADC de rampa digital tem uma resolução de 16 bits. Sabendo-se que a frequência do contador interno é de 1MHz. Pede-se:

- O tempo de conversão.
- O número de amostras por segundo.

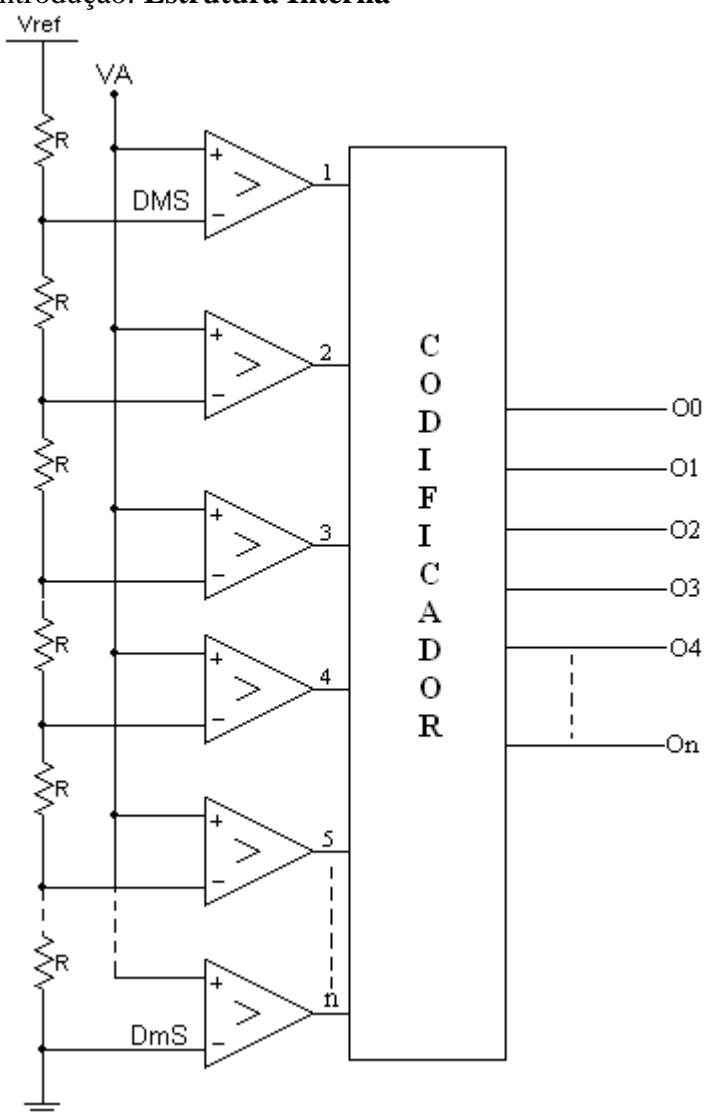
Solução: $t_{clock} = 1\mu s$. O tempo de carga é igual ao tempo de descarga na conversão:

a) $t_C = 1\mu s \cdot 65535 = 65,53ms$ e $t_{total} = 2 \cdot 65,53ms = 131,07ms$.

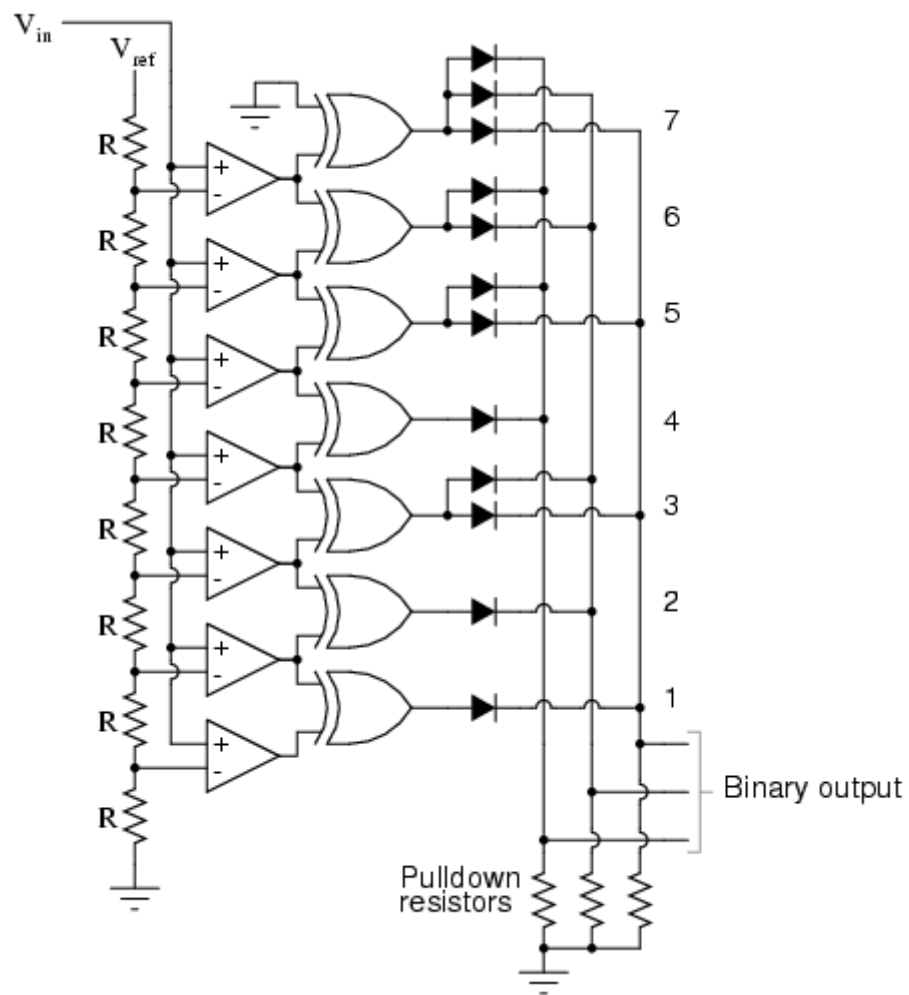
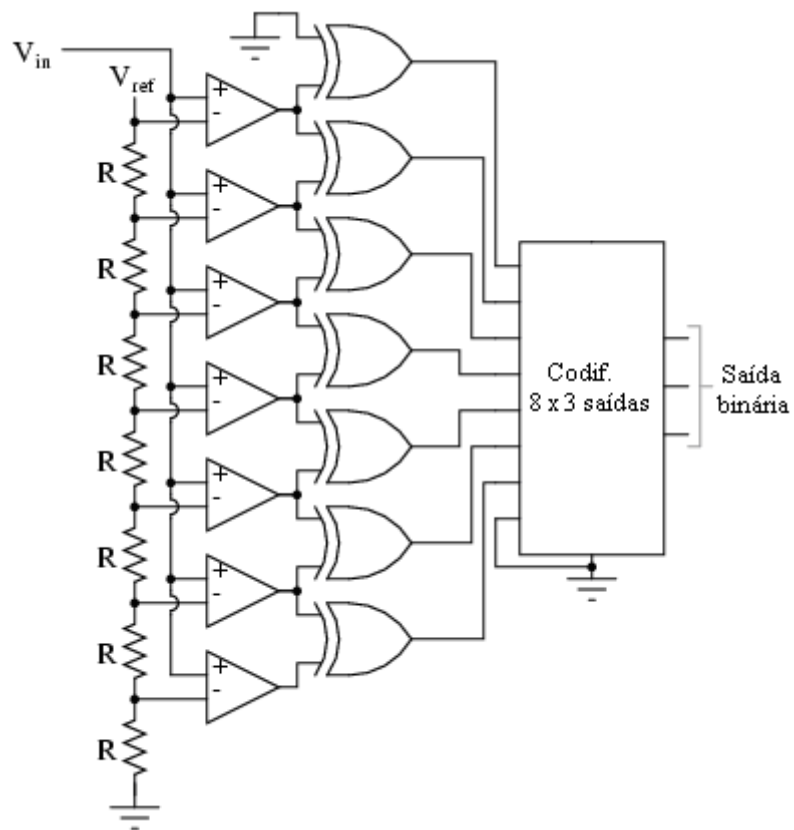
- Um total de sete amostras por segundo.

4. Flash – O algoritmo do ADC flash

Introdução: Estrutura Interna -



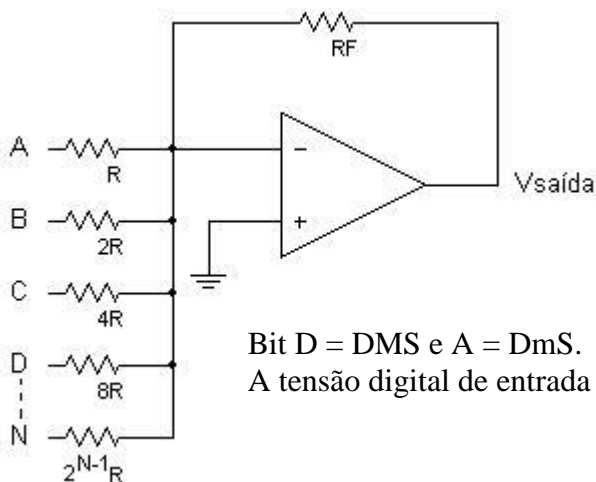
Funcionamento: O princípio de operação do ADC flash de N bits é baseado em comparações simultâneas de $2^n - 1$ níveis de amplitudes. Para uma tensão analógica de entrada temos saídas acionadas dos comparadores de amplitudes inferiores, onde a amplitude de entrada é maior do que cada valor de referência de entrada de cada um desses comparadores. Um codificador de prioridade é responsável por transformar as linhas de entradas em uma saída binária de N bits. A prioridade escolhida na função do codificador é para priorizar a saída para a entrada de maior valor quando duas ou mais entradas estiverem acionadas ao mesmo tempo. Quando o número de bits cresce a lógica de prioridade fica mais complexa. As saídas dos comparadores são acionadas de zero a $2^n - 1$ e nessa ordem é possível introduzir uma lógica entre cada uma das saídas sucessivas entre os comparadores. Quando uma tensão de entrada provoca o acionamento dos comparadores menos significativos, então a lógica intermediária permite que somente dos comparadores acionados somente o comparador mais significativo seja entrada para a lógica simples de codificação, pois a lógica de codificação não necessita ser de prioridade uma vez que somente uma única linha de entrada do codificador é acionada. A seguir é mostrado a lógica de antecipação para simplificar a codificação binária.



MÓDULO 03: TIPOS DE CONVERSORES DIGITAIS ANALÓGICOS - DACs

Nesta seção estudaremos vários tipos de DACs, como o somador ponderado cujos resistores $2^n R$ e malha do tipo R-2R e outros.

a) Somador ponderado.



A equação da saída para um DAC de 4 bits é:

$$V_{SAIDA} = R_F/R (V_A + V_B/2 + V_C/4 + V_N/2^{N-1})$$

EXEMPLO: Um DAC de 4 bits com $V_{REF} = +5V$, pede-se:

3. A resolução do DAC com $R_F = R$.

4. Preencher uma tabela da verdade do DAC. A = DMS e D = DmS.

5. A tensão de fundo de escala.

9. A resolução é igual A = B = C = 0 e D = 1, então $V_{SAIDA} = - (0 + 0 + 0 + 5/8) = - 0,625V$.

10. A tabela do DAC é:

A tabela da verdade do DAC.

c) A tensão do fundo de escala

$$V_{SAIDA} = 15 \times -0,625 = -9,375V.$$

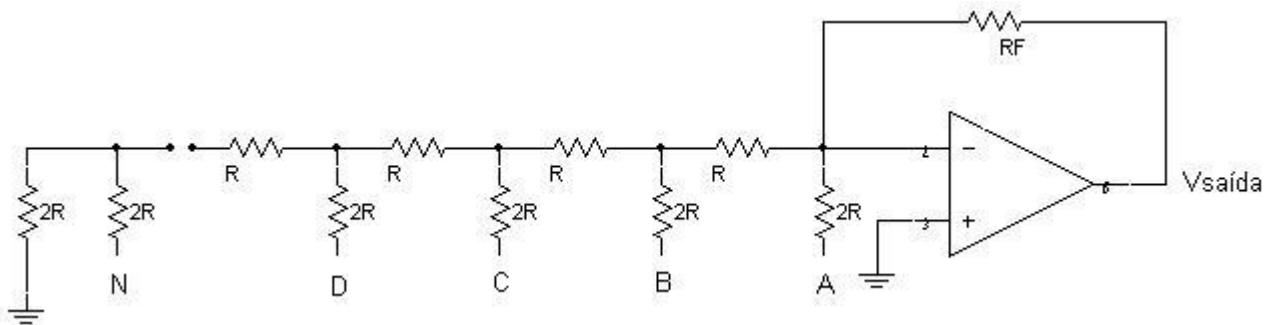
A	B	C	D	$V_{SAIDA}(V)$
0	0	0	0	0
0	0	0	1	-0,625
0	0	1	0	-1,250
0	0	1	1	-1,875
0	1	0	0	-2,500
0	1	0	1	-3,125
0	1	1	0	-3,750
0	1	1	1	-4,375
1	0	0	0	-5,000
1	0	0	1	-5,625
1	0	1	0	-6,250
1	0	1	1	-6,875
1	1	0	0	-7,500
1	1	0	1	-8,125
1	1	1	0	-8,750
1	1	1	1	-9,375

Vantagens: A vantagem do tipo de DAC do somador ponderado é: É de custo baixo;

Desvantagens: A desvantagem do tipo de DAC do somador ponderado é:

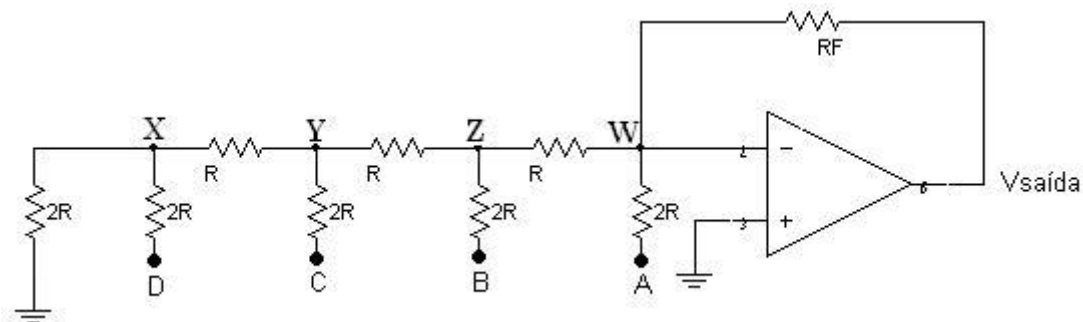
- É construtivamente muito difícil, pois os resistores devem ser múltiplos exatos, pois a precisão do DAC depende da precisão dos resistores;
- Para DAC de grande número de bits a impedância de entrada do amplificador deve ser muito maior do que o valor do maior resistor de entrada.

D) Malha R-2R.



A = DMS.

A resolução do conversor malha R-2R pode ser calculada, como a seguir. Os pontos X, Y, Z e W são os pontos onde será calculado o gerador equivalente de Thèvenin.

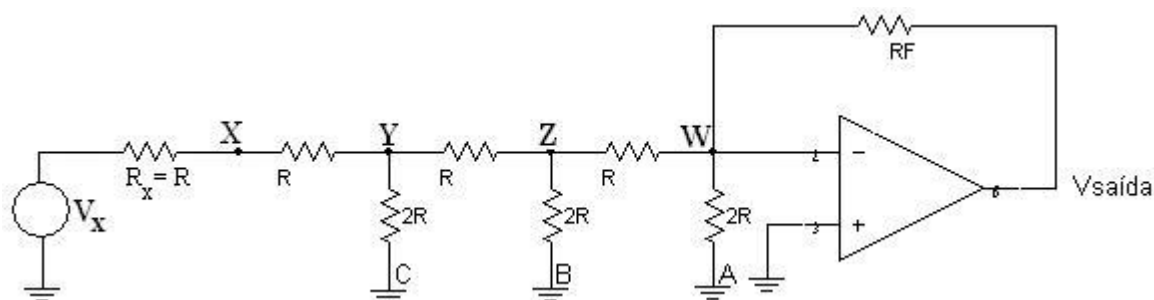


A entrada digital para $V_{SAÍDA}$ igual a resolução é 0001 onde as entradas $D = 1$, $B = C = A = 0$. O nível lógico igual a + 5V e nível lógico zero igual a 0V.

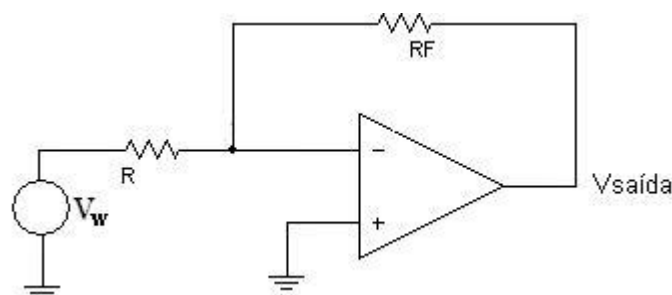
Abrindo o circuito em X e calculando a tensão e resistor equivalente de Thèvenin, temos:

$$V_X = 5/2 \text{ e } R_X = 2R // 2R = R.$$

Montando o gerador equivalente de Thèvenin, temos:



Fazendo-se o mesmo procedimento para Y, Z e W, teremos em: Y com $V_Y = 5/4V$, em Z com $V_Z = 5/8V$ e em W com $V_W = 5/16V$.



Para $R_F = 2R$, temos:
 $V_{SAÍDA} = -5/8 = -0,625V$.

Desvantagens:

- Problemas com offset do amplificador.

Vantagens:

- Somente dois tipos de resistores R e 2R;
- Os resistores são mais fáceis de encontrar no mercado;
- Um circuito de baixo custo;
- Os resistores podem ter valores muito menores do que Z_{in} ;
- Pode ser configurado com n bits.

ERRO DE FUNDO DE ESCALA

É um erro apresentado na saída do conversor DAC. É o máximo desvio no valor da saída analógica em relação ao valor teórico da saída sem qualquer desvio. Pode ser positivo ou negativo e não é acumulativo. O erro é referido ao valor de fundo de escala do DAC e normalmente em porcentagem do fundo de escala.

Exercício: Um conversor DAC de 8 bits apresenta um erro de fundo de escala de 0,1% do fundo de escala. Sabendo-se que a resolução é de 10mV. Indicar a faixa de saída do DAC quando a entrada digital é igual a $(100)_{10}$.

Solução: O erro de fundo de escala é: 0,1% do fundo de escala e o fundo de escala é igual a:

$$A.F.S. = (2^8 - 1) \times 10\text{mV} = 255 \times 10\text{mV} = 2,55\text{V}$$

$$\text{Erro} = \frac{0,1 \times 2,55}{100} = 2,55\text{mV}$$

Para entrada digital igual a 100, temos:

$$V_{\text{SAÍDA}} = 100 \times 10\text{mV} = 1000\text{mV}$$

Faixa de saída será: $V_{\text{SAÍDA}} = 1.000\text{mV} \pm 2,55\text{mV}$.

Exercício: Um DAC de 10 bits, cuja corrente de fundo de escala é igual a 20mA. A saída do DAC apresentou uma corrente igual a 9,78mA para uma entrada digital igual a $(500)_{10}$. Sabendo-se que o erro de fundo de escala é igual a 0,1% do fundo de escala. Pede-se:

a) O DAC está atendendo a especificação do fabricante.

$$\text{Solução: erro} = \frac{0,1 \times 20\text{mA}}{100} = 20\mu\text{A}$$

$I_{\text{SAÍDA}} = 500 \times 20\mu\text{A} = 10.000\mu\text{A}$. Acrescendo o erro de F.S. $I_{\text{SAÍDA}} = 10.000 \pm 20\mu\text{A}$. A faixa de operação do DAC para essa saída se admite de 9980 μA a 10.020 μA .

Para uma saída de 9.780 μA o valor está fora da faixa de especificação do DAC.

Exercício: Um DAC é alimentado por um computador que aplica um sinal digital na sua entrada a fim de gerar uma tensão analógica de saída de 0 a +10V. A tensão analógica é enviada a um controlador de temperatura como uma referência e para +10V a temperatura máxima é de 1.500 C. Deseja-se controlar esta temperatura e o desvio máximo admissível é igual a 0,2 C. Os preços dos DACs crescem com o número de bits e deseja-se aplicar um DAC de 8bits, para a realização desse controle.

Apresente uma solução para o controlador mantendo as condições descritas acima.

Solução: Pode-se controlar a temperatura de saída a partir de:

$$\text{A entrada digital F.S.} = 2^8 - 1 = 255$$

O desvio de 0,2 C \Rightarrow A faixa de trabalho será: $255 \times 0,2 = 51^\circ\text{C}$.

$$\text{A relação tensão/temperatura } r = \frac{10\text{V}}{1500} = \underline{6,66\text{mV}}$$

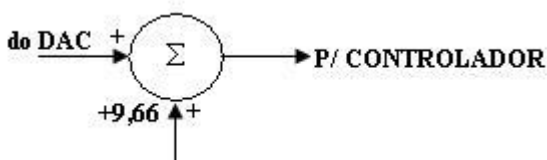
Para $0,2^\circ\text{C} \Rightarrow r = 1,33\text{mV}$ (Essa deverá ser a resolução do DAC).

O controlador pode operar a partir da temperatura de: $1500 - 51 = 1449 \text{ C}$.

A tensão mínima a ser aplicada ao controlador será de 9,66V esse é offset de tensão na saída. A saída do DAC deve ser somada à saída de 9,66V.

A tensão de fundo de escala do DAC será: $10\text{V} - 9,66\text{V} = 0,34\text{V}$

A resolução será: $K = 1,33\text{mV}$



Desempenho dos conversores – Uma curva de desempenho a qual relacionam os tipos de conversores ADC quanto a velocidade e a resolução.

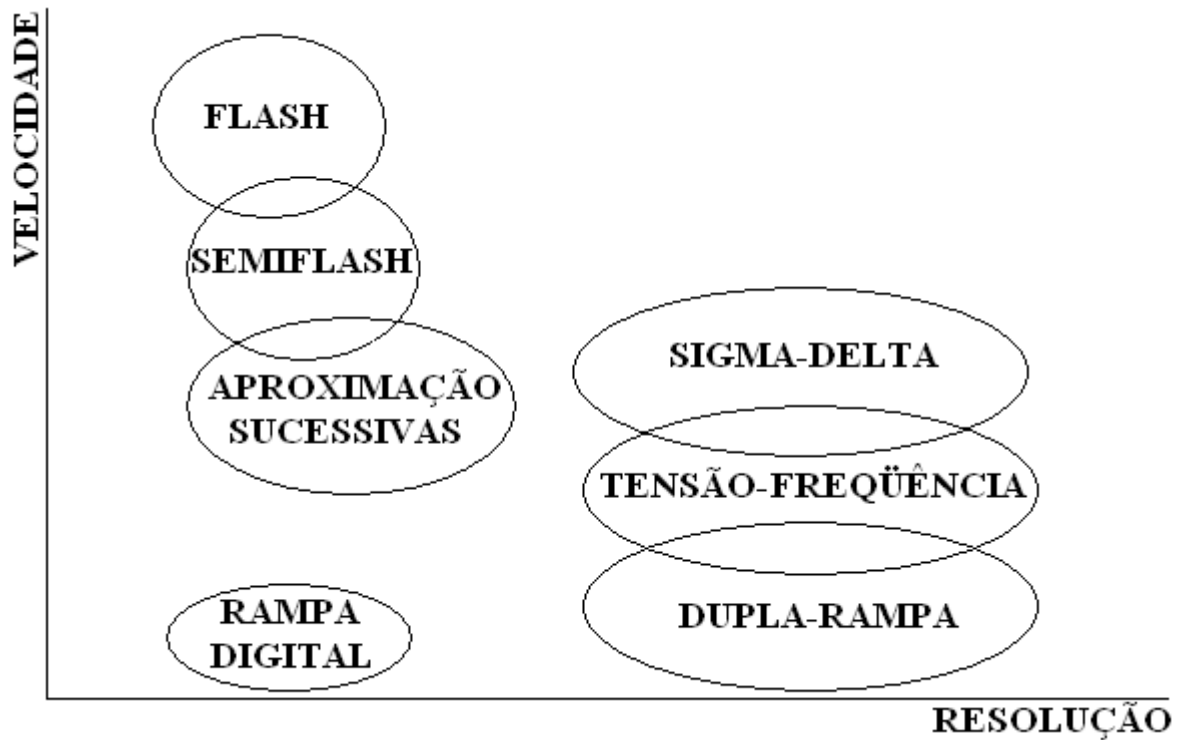


Figura: Curva de desempenho dos tipos de ADC quanto a velocidade e resolução.

MÓDULO 04: LISTA DE EXERCÍCIOS ADC E DAC.

10.2 Um DAC = 08bits

Para o número = $(100)_{10} = 2V$. Pede-se: $(+179)_{10}$

Para Saída Analógica = Entrada digital x passo = $179 \cdot 20mV = 3,58V$

F.S. = 5V e n = 10bits. O passo será: $K = 5/1023 = 0,00048V = 0,48mV$.

10.6 Número de bits do DAC e F.S. = 10mA e a resolução menor do que $40\mu A$.

$2^n - 1 > A.F.S./passo > 10mA/40\mu A$. $2^n - 1 > 250 \Rightarrow 2^n > 250 \Rightarrow n \log_2 > \log 250$

O valor n = 8bits.

10.7 A resolução percentual do DAC será: $\%r = 1 / (2^n - 1) \times 100 = 1/7 \times 100 = 14,28\%$ e o tamanho do degrau, será:

$K = A.F.S. / 2^n - 1 = 2/7 = 0,286V$.

10.9 Um DAC de 12 bits, para 250rpm. Qual o valor mais próximo?

$K = F.S./2^n - 1$. Considerando-se o F.S de 250 rpm (qualquer valor acima de 250rpm dará um valor menos próxima do de 250rpm pois o passo será maior, então:

$K = 250 / 4095 = 0,061$. O valor próximo a 250 rpm será: $250 + \text{passo} = 250,061$ rpm.

10.10 Um DAC de 12bits (03 dígitos) e F.S. = 9,99V

a) O tamanho do degrau

$K = A.F.S. / 10^n - 1 = 9,99/999 = 10mV$

b) A resolução percentual: $\%r = 1/10^n - 1 \times 100 = 1/999 \times 100 = 0,1\%$

c) $V_{OUT} = (695)_{10} \times 10mV = 6,95V$.

10.11 Compare o tamanho do degrau e a resolução percentual do DAC binário e BCD de 08 bits.

O Tamanho do degrau do DAC BCD de 08 bits $K = A.F.S./10^2 - 1 = 990mV/99 = 10mV$.

O Tamanho do degrau do DAC binário de 08 bits $K = A.F.S./2^8 - 1 = 990mV/255 = 3,88mV$.

A resolução percentual do DAC binário de 08 bits $\%r = 1/2^8 - 1 \times 100 = 0,39\%$.

A resolução percentual do DAC BCD de 08 bits $\%r = 1/10^2 - 1 \times 100 = 1,01\%$.

10.12 Determinar o peso de cada bit do DAC BCD para 03 dígitos.

DMS – $(2^3 \ 2^2 \ 2^1 \ 2^0) \times 1V$,

Segundo dígito $(2^3 \ 2^2 \ 2^1 \ 2^0) \times 0,1V$,

Terceiro dígito $(2^3 \ 2^2 \ 2^1 \ 2^0) \times 0,01V$.

10.13 O tamanho do degrau do DAC, R, 2R, 4R e 8R, pode ser alterado, mudando-se o valor de R_F .

Determine o valor de R_F para um tamanho de degrau de 0,5V. O novo valor de R_F altera a resolução percentual.

Solução:

a) Passo = $0001 = - R_F / 1K \cdot 5 / 8 = - 0,5 = 500 \cdot 8 / 5 = 800 \ \Omega$

b) Resolução percentual $\% = \frac{1}{2^n - 1} \cdot 100$, assim não depende do valor do degrau, mas do número de degraus.

A resolução percentual não altera.

10.14 Para o conversor D/A, somador com R, 2R, 4R e 8R,

- Com $V_{REF} = 5V$, $R = 20K$, $R_F = 10K$, determinar o tamanho do degrau e a tensão de F.S. de V_{OUT} .
- Mude o valor de R_F para que a tensão de F.S. de V_{OUT} seja -2.
- Use esse novo valor para calcular a constante de proporcionalidade K, na relação $V_{OUT} = -K(V_{REF} \cdot B)$.

Solução:

$$a) V_{OUT} = -\frac{R_F}{R} = - (V_D + \frac{1}{2} V_C + \frac{1}{4} V_B + \frac{1}{8} V_A).$$

$$\text{Passo} = 0001 = -10K/20K (1/8 V_{REF}) = -0,5 \cdot 5/8 = 0,3125.$$

$$\text{F.S} = 15 \cdot 0,3125 = 4,6875V.$$

$$b) V_{OUT} = -2 = -R_F / 20K (1,875).5 = 40.000 / 9,375 = 4,27K.$$

$$c) V_{OUT} = -K (V_{REF} \cdot B), \text{ onde } B \text{ é a palavra do conversor de } 0 \text{ a } 15.$$

$$K = \frac{V_{OUT}}{V_{REF} \cdot B}, \text{ sendo } B = 15 \text{ F.S.}, \text{ temos: } K = \frac{2}{5 \cdot 15} = 0,0267$$

$$V_{OUT} = -0,0267 (5 \cdot B)$$

10.16 Um ADC de oito bits tem um erro de fundo de escala de 0,2% do F.S. Se o ADC tem uma saída de fundo de escala de 10mA, qual é o máximo erro que ele pode apresentar para qualquer entrada digital? Se a saída do DAC fornecer 50 μ A para uma entrada digital de 0000 000, isto está dentro da faixa de precisão especificada? Suponha que não há erro de offset.

Solução :

$$a) \text{ O conversor é de 8 bits. O passo do conversor} = \frac{10mA}{255} = 39,21\mu A.$$

$$\text{Erro de } 0,2\% \text{ F.S} = 0,002 \times 10mA = 0,02mA = 20\mu A.$$

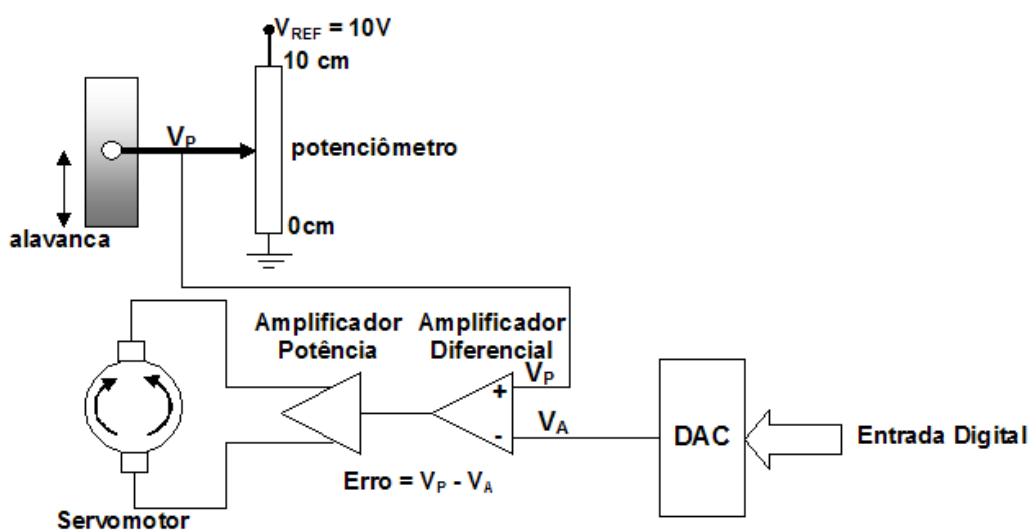
$$\text{Cada degrau} = \text{Passo} + \text{Erro} = 39,21 + 20 = 59,21\mu A.$$

$$b) \text{ A saída de } 50\mu A, \text{ está dentro da precisão pois é menor do que } 59,21\mu A.$$

10.17 O controle de um dispositivo de posicionamento pode ser feito utilizando-se um servomotor, um motor projetado para acionar um dispositivo mecânico enquanto houver um sinal de erro. A figura 10.33 mostra um sistema servocontrolado simples que é controlado por uma entrada digital que poderia vir diretamente de um computador ou de um meio de saída, tal como uma fita magnética. A alavanca é movida verticalmente pelo servomotor. O motor gira no sentido horário ou no anti-horário,

dependendo se a tensão do amplificador de potência (A.P.) é positiva ou negativa. O motor pára quando a saída do amplificador de potência é zero. A posição mecânica da alavanca é convertida para uma tensão CC pelo potenciômetro acoplada a ela. Quando a alavanca está no seu ponto de referência zero, $V_P = 0V$. O valor de V_P aumenta a uma taxa de 1V/centímetro até que a alavanca alcance seu ponto mais alto (10 centímetros) e $V_P = 10V$. A posição desejada da alavanca é fornecida por um código digital do computador que é levado para o DAC, produzindo V_A . A diferença entre V_P e V_A (denominada erro) é gerada pelo amplificador diferencial e é amplificada pelo amplificador de potência para acionar o motor na direção que faça com que o sinal de erro diminua para zero ou seja, mova a alavanca até que $V_P = V_A$. Pede-se :

- a) Se desejarmos posicionar a alavanca com uma resolução de 0,1cm, qual será o número de bits necessários no código de entrada digital.
- b) Na operação real, a alavanca pode oscilar um pouco em torno da posição desejada, especialmente se um potenciômetro de fio usado. Você pode explicar por que?



a) O número de bits do conversor DAC será: $10\text{cm} / 0,1 = 100$. O conversor terá: $2^n - 1 \geq 100$, assim $2^n \geq 101$, o valor de $n = 7$ Bits.

b) O potenciômetro de fio conforme a sua construção se movimenta por passo e daí o erro não consegue ser zerado e, portanto, oscila em ± 1 bit.

10.19 Um DAC de 06 bits com F.S. = 1,26V e com precisão igual a $\pm 0,1\%$ F.S. e a tensão de offset de $\pm 1\text{mV}$. Verificar se as saídas estão dentro da especificação do DAC.

Código Entrada	Saída
2	41,5mV
7	140,2mV
12	242,5mV
63	1,258V

a) Cálculo das tensões de saídas

O passo é igual a $K = 1260/63 = 20\text{mV}$ e o Erro Total = $1,26\text{mV} + 1\text{mV} = 2,26\text{mV}$.

A tensão de saída máxima deve ser menor do que o teórico

- 1) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 2 \times 20\text{mV} + 2,26\text{mV} = 42,26\text{mV} > 41,5\text{mV}$.
- 2) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 7 \times 20\text{mV} + 2,26\text{mV} = 142,26\text{mV} > 140,2\text{mV}$.
- 3) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 12 \times 20\text{mV} + 2,26\text{mV} = 242,26\text{mV} < 242,5\text{mV}$.
- 4) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 63 \times 20\text{mV} + 2,26\text{mV} = 1262,26\text{mV} > 1258\text{mV}$.

Resposta o item 3 está fora das especificações.

10.20 Um DAC de 08 bits e F.S. = $2,55\text{V}$, offset $\leq 2\text{mV}$ precisão igual a $\pm 0,1\%$ F.S.

Código Entrada	Saída
0	8mV
1	18,2 mV
2	28,5 mV
4	48,3 mV
15	158,3 mV
128	1,289V

a) Cálculo das tensões de saídas

O passo é igual a $K = 2,55/255 = 10\text{mV}$ e o Erro Total = $2,55\text{mV} + 2\text{mV} = 4,55\text{mV}$.

A tensão de saída máxima deve ser menor do que o teórico

- 1) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 0 \times 10\text{mV} + 4,55\text{mV} = 4,55\text{mV} < 8\text{mV}$.
- 2) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 1 \times 10\text{mV} + 4,5\text{mV} = 14,55\text{mV} < 18,2\text{mV}$.
- 3) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 2 \times 10\text{mV} + 4,55\text{mV} = 24,55\text{mV} < 28,5\text{mV}$.
- 4) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 4 \times 10\text{mV} + 4,55\text{mV} = 44,55\text{mV} < 48,3\text{mV}$.
- 5) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 15 \times 10\text{mV} + 4,55\text{mV} = 154,55\text{mV} < 158,3\text{mV}$.
- 6) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 128 \times 10\text{mV} + 4,55\text{mV} = 1284,55\text{mV} < 1,289\text{V}$.

Resposta O offset está fora das especificações.

10.21 Repetir o problema anterior para as medidas de saída.

Código Entrada	Saída
0	20mV
1	30,5 mV
2	20,5 mV
4	60,6 mV
15	150,6 mV
128	1,3V

a) Cálculo das tensões de saídas

O passo é igual a $K = 2,55/255 = 10\text{mV}$ e o Erro Total = $2,55\text{mV} + 2\text{mV} = 4,55\text{mV}$.

A tensão de saída máxima deve ser menor do que o teórico

- 1) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 0 \times 10\text{mV} + 4,55\text{mV} = 4,55\text{mV} < 8\text{mV}$.
- 2) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 1 \times 10\text{mV} + 4,5\text{mV} = 14,55\text{mV} < 18,2\text{mV}$.
- 3) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 2 \times 10\text{mV} + 4,55\text{mV} = 24,55\text{mV} < 28,5\text{mV}$.
- 4) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 4 \times 10\text{mV} + 4,55\text{mV} = 44,55\text{mV} < 48,3\text{mV}$.
- 5) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 15 \times 10\text{mV} + 4,55\text{mV} = 154,55\text{mV} < 158,3\text{mV}$.
- 6) $V_{\text{OUT}} = E.D \times \text{passo} + \text{Erro total} = 128 \times 10\text{mV} + 4,55\text{mV} = 1284,55\text{mV} < 1,289\text{V}$.

Resposta O bit 1 do DAC está sempre em NL1 e, portanto, um offset de 20mV.

10.24 Um ADC de rampa digital de oito bits com uma resolução de 40mV usa uma frequência de clock de 25MHz e um comparador com $V_T = 1\text{mV}$. Determinar os seguintes valores.

- a) A saída digital para $V_A = 6,000\text{V}$.
- b) A saída digital para 6,035V.
- c) Os tempos máximo e médio de conversão para esse ADC.

Solução:

a) Saída Analógica = $K \times \text{Equivalente Digital}$

Equivalente digital = $\frac{\text{Saída}}{K}$, como $V_{\text{AX}} = V_A + V_T = 6,000 + 0,001 = 6,001\text{V}$.

$K = 40\text{mV}$, Equivalente digital = $\frac{6,001}{40\text{mV}} = 150,025$

Equivalente Digital = 151

b) Para $V_A = 6,035\text{V}$, temos:

$V_{\text{AX}} = V_A + V_T = 6,035 + 0,001 = 6,036\text{V}$.

$K = 40\text{mV}$, equivalente digital = $\frac{6,036}{40\text{mV}} = 150,9 \cong 151$

c) $T_{\text{MAX}} = 1 / f * \text{FS} = 1/25.10^6 * 255 = 102\mu\text{s}$ e $T_{\text{MED}} = 102 / 2 = 51\mu\text{s}$.

10.25 Porque as saídas digitais para as partes a) e b) são iguais?

Solução: Porque estão dentro do passo de 40mV, na conversão de 6,001 = saída digital 150,025 ou seja superior a 150 e na conversão de 6,035 = 150,9, portanto maior do que 150 e menor do que 151. Como o conversor A/D dá uma saída inteira o passo seguinte para ambos os casos será de 151 e o mesmo pois estão dentro do passo menores do que 40mV.

10.26 O que aconteceria no ADC de 8 bits se uma tensão analógica de $V_A = 10,853\text{V}$, fosse aplicada na entrada? Qual a forma de onda apareceria na saída do conversor D/A? Acrescente a lógica

necessária nesse ADC de modo que uma indicação de “fora de escala” seja gerada sempre que V_A for muito grande.

a) A tensão de 10,853V é de fora de escala, o ADC vai até saída digital 255 correspondentes a 10,2V e máximo, menor do que V_{AX} , portanto a saída do comparador não comuta e o contador continua continuamente contando fazendo uma geração de degraus de 0 a 255 contínuos.

b) A forma de onda de saída será um trem de degraus de 0 – 255, contínuos sem parar, pois, o contador fica continuamente contando de 0 a 255.

c) A lógica necessária será quando a saída do contador é máxima e a saída do comparador é zero, deve bloquear o clock de entrada do contador e gerar saída “fora de escala”.

10-27 Um ADC tem as seguintes características: resolução 12bits, erro de fundo de escala, 0,03% F.S., saída de F.S. de +5V.

a) Qual é o erro de quantização em Volts.?

b) Qual é o erro total possível em Volts?

Solução:

$$a) \text{ Resolução} = \frac{\text{F.S.}}{2^n - 1} = \frac{5\text{V}}{4095} = 1,22\text{mV}.$$

b) Erro Total = Erro de F.S. + erro de quantização.

$$\text{Erro F.S.} = 0,03\% * 5 = 1,5\text{mV}, \text{ Erro de quantização} = 1,22\text{mV}.$$

$$\text{Erro Total} = 1,22\text{mV} + 1,5\text{mV} = 2,72\text{mV}.$$

10.28 O erro de quantização de um ADC, é sempre positivo visto que o valor V_{AX} tem de exceder a V_A para que a saída do comparador mude de estado. Isso significa que o valor de V_{AX} poderia ser até 1LSB maior do que V_A . Esse erro de quantização pode ser modificado de modo que V_{AX} fique dentro de $\pm \frac{1}{2}$ LSB de V_A . Isso pode ser feito acrescentando-se uma tensão fixa de $\frac{1}{2}$ LSB ($\frac{1}{2}$ degrau) ao valor de V_A . Sabendo-se que a resolução é de 10mV, uma tensão fixa acrescida a V_{AX} é enviado ao comparador, que tem $V_T = 1\text{mV}$. Determinar a saída digital para os valores de V_A .

a) $V_A = 5,022\text{V}$.

b) $V_A = 5,028\text{V}$.

$$\text{Equivalente digital} = \frac{5,022+0,001}{10\text{mV}} = \frac{5,023}{10\text{mV}} = 502,3 = 502$$

Equivalente Digital	Erro	Valor Analógico V_{AX}	V_T Tensão	V_A	Saída Comparador
500	+ 5mV	5,005	+ 1mV	5,022	= 0
501	+ 5mV	5,015	+ 1mV	5,022	= 0
502	+ 5mV	5,025	+ 1mV	5,022	= 1
503	+ 5mV	5,035	+ 1mV	5,028	= 1

Acrescendo-se +5mV a V_{AX} , o equivalente digital 502 produz uma saída analógica ao comparador de 5,025V, +2mV acima do valor $5,022mV + 1mV = 5,023V$.

b) Da mesma forma para o equivalente digital 503, a qual produz uma saída analógica ao comparador de 5,035V, acima do valor $5,028mV + 1mV = 5,029V$.

10.29 Determinar a faixa de valores analógicos de entrada do ADC que produzirá uma saída digital de 284_{10} . O conversor possui 10 bits e sua resolução é de 10mV m $\frac{1}{2}$ LSB de 5mV.

Saída Analógica do DAC = $284 \times \text{passo} = 2,840V$

O comparador recebe $V_{AX} + 5mV$, então o número só pode ser entre $2,836 \leq V_{ANALOG} \geq 2,844$

Considerando-se $V_T = 1mV$.

Valores do Contador	$V_{ANALÓGICA}$ DAC V_{AX}	$V_{ANALÓGICA}$ V_{AY}	Comparador
283	2,83	2835	2,826 a 2,834
284	2,84	2845	2,836 a 2,844
285	2,85	2855	2,846 a 2,854

10.32 $F_S = 20KHz$. Usando o critério de Nyquist onde $F_S \geq 2 \times f_{SINAL}$, temos:

- a) Para o sinal de 5KHz, o sinal ouvido será de 5KHz.
- b) Para o sinal de 10,1KHz, o sinal ouvido será de 9,9KHz (frequência falsa);
- c) Para o sinal de 10,2KHz, o sinal ouvido será de 9,8KHz (frequência falsa);
- d) Para o sinal de 15KHz, o sinal ouvido será de 5,0KHz (frequência falsa);
- e) Para o sinal de 19,1KHz, o sinal ouvido será de 900Hz (frequência falsa);
- f) Para o sinal de 19,2KHz, o sinal ouvido será de 800Hz (frequência falsa);

10.36 ADC de aproximação sucessiva, onde F.S. = 2,55V, $T_C = 80\mu s$ para $V_A = 1V$. Qual é o T_C para 1,5V.

O tempo de conversão é : n.o bits x T_C e será igual para qualquer valor intermediário = $80\mu s$.

10.37 Para um passo de 40mV, n = 06bits, A sequência gerada pelo DAC será:

Em t_0 no DAC = $1,28V/40mV = 32$

Em t_1 no DAC = $1,92V/40mV = 48$

Em t_2 no DAC = $1,60V/40mV = 40$

Em t_3 no DAC = $1,44V/40mV = 36$

Em t_4 no DAC = $1,52V/40mV = 38$

Em t_5 no DAC = $1,48V/40mV = 37$

É um sistema de aproximações sucessivas onde o valor de V_{AX} é comparado ao V_A .

O F.S. é igual a $63 \times 40mV = 2,520V$.

O primeiro valor de comparação gerado pelo $(100000)_2 = V_{AX} = 32 \times 40mV = 1,28V$.

Se V_A for maior do que V_{AX} , então o ADC passa para o próximo valor a ser gerado será: $(110000)_2 = V_{AX} = 48 \times 40mV = 1,92V$.

Se V_A for menor do que V_{AX} , então o novo número gerado será: $(101000)_2 = 40 \times 40mV = 1,6V$.

O processo continua comparando V_A com V_{AX} e gerando o próximo número que deve ser calculado pegando a metade da diferença entre o atual e o anterior. Exemplo entre os números 48 e 32 será 40.

A saída resultante é o último número gerado, ou seja = 37.

10.40 Projete uma interface ADC, para um termostato digital usando o sensor de temperatura LM34 e o ADC 0804. Seu sistema tem de medir com precisão ($\pm 0,2^\circ\text{F}$) de 50 a 101°F . O LM34 fornece 0,01V por grau F ($0^\circ\text{F} = 0\text{V}$).

- Qual seria o valor digital de 50°F para melhor resolução.
- Qual a tensão que tem que ser aplicada em $V_{\text{IN}(-)}$?
- Qual é a faixa de fundo de escala da tensão de entrada?
- Qual é a tensão que tem de ser aplicada em $V_{\text{REF}/2}$?
- Qual a indicação digital para 72°F .

Solução:

Passo = $0,2^\circ\text{F} \Rightarrow$ Número de bits do conversor, será $(101 - 50) / 0,2 = 255$

Sendo 10mV para 1°F , o offset de 50°F , será:

Offset = $50 \times 10\text{mV} = 500\text{mV}$.

- Com offset de 500mV, o valor digital será: 0 (0000 0000)₈.
- $V_{\text{IN}} = 500\text{mV}$.

c) Fundo de escala = Passo x 255

Passo = $0,2^\circ\text{F} * 10\text{mV} = 2\text{mV}$.

F.S. = $2\text{mV} \times 255 = 510\text{mV}$.

d) Para $V_{\text{REF}} / 2 = 510\text{mV} / 2 = 255\text{mV}$. (A tensão de referência é de F.S)

e) Para $72^\circ\text{F} = A$ indicação será: $72 - 50 = 22^\circ\text{F}$

Equivalente digital = $22^\circ\text{F} / 0,2^\circ\text{F} = 110$.

10.51 Se o conversor ADC de aproximações sucessivas de 10bits, mas o sistema requer 08 bits, significa que a resolução pode ser multiplicada por 04.

Daí pode-se desprezar os 02 primeiros bits menos significativos do conversor e ler os 08 bits mais significativos do conversor.

10.52 Em um processo industrial deseja-se fazer a leitura da velocidade de uma linha de embalagem. O tempo de leitura e conversão deve ser menor do que $50\mu\text{s}$ pois a amostragem ocorre de 50 em $50\mu\text{s}$. A frequência disponível para clock é de 1MHz. A variável velocidade é condicionada de 0 a 5V sendo a máxima velocidade igual a 120m/min. A tolerância na medida da velocidade permite o máximo ± 1 m/min., pede-se:

- O número mínimo de bits do ADC necessário para satisfazer a tolerância desejada na medida.
- O tipo de ADC adequado para atender o tempo de conversão.
- Para a medida de 35 m/min a indicação do ADC.

a) Para uma leitura de ± 1 m/min o DAC interno deve gerar passos neste valor. Como a tolerância é mais ou menos 1, pode-se considerar um passo de no máximo 2 assim o conversor será:

$$K \geq \frac{120}{2^n - 1} \text{ ou } 2^n - 1 \geq \frac{120}{2} \Rightarrow 2^n - 1 \geq 60 \Rightarrow 2^n \geq 61 \Rightarrow n \log 2 \geq \log 61 \text{ ou}$$
$$n \geq \frac{\log 61}{\log 2} = n = 06 \text{ bits.}$$

b) O tipo de ADC não pode ser de rampa digital, pois o tempo máximo de conversão para 06 bits, será:

$$T_c = 63 \times 1 \mu\text{s} = 63 \mu\text{s. (maior do que } 50 \mu\text{s)}$$

Escolhe-se o conversor de aproximação sucessiva, cujo tempo de conversão será:

$$T_c = 06 \times 1 \mu\text{s} = 06 \mu\text{s. (menor do que } 50 \mu\text{s)}$$

c) O passo real conversor é: $K = \frac{120}{63} = 1,90 \text{ m/min}$

$$E . D = \frac{35}{1,90} = 18,42$$

A leitura do ADC será: Valor digital igual a 18.

A medida real no ADC será $18 \times 1,90 = 34,2 \text{ m/min. (0,8 m/min abaixo de } 35 \text{ m/min)}$.

MÓDULO 05: INTRODUÇÃO ÀS MEMÓRIAS VOLÁTEIS

Introdução: O mercado consome um volume muito grande de memória não volátil. As memórias são empregadas em todo o tipo de equipamento de áudio, telefonia, televisão em computação nos lap-tops, computadores de mesa enfim é um dispositivo imprescindível em qualquer arquitetura de sistemas desde a mais simples até a mais complexa e vai depender somente da quantidade de bits que podem ser armazenados e da sua velocidade de acesso aos dados. Nesse capítulo serão descritos os tipos de memórias voláteis e estão incluídas as memórias estáticas SRAM dos tipos (regular, DDR e QDR). Também serão descritas as memórias dinâmicas DRAM, as memórias síncronas SDRAM dos tipos (regular, DDR, DDR2 e DDR3) e a memória do tipo conteúdo endereçável CAM.

TERMINOLOGIA

Para que possamos descrever sobre as memórias, os seus tipos, suas aplicações e associações uma terminologia se faz necessária antes de promover o estudo delas.

Bit – É a menor quantidade de informação. Pode representar a informação com ‘0’ ou ‘1’.

Byte – É um cordão com oito bits. Pode representar uma instrução, ou um dado, ou um número.

Palavra – É um grupo de bits que são processados juntos pelo sistema. O tamanho da palavra ou comprimento da palavra depende da característica do processador e pode variar de 8 a 64bits nos computadores modernos.

Dataword – É o tamanho em bits do dispositivo ou o a largura máxima de bits que podem ser alocados no dispositivo.

Capacidade – É a quantidade total de bits que podem ser armazenados na memória. Pode ser também a quantidade de bytes.

Densidade – É a medida da quantidade de transistores que são inseridos no mesmo espaço no chip. Aumentar o número de transistores no chip é torná-lo mais denso.

Célula de armazenamento – É a célula que tem a capacidade de reter um bit de informação. Pode ser um capacitor ou um flip-flop dependendo do tipo de memória. Em ambos os casos é necessária manter ativa uma fonte de energia para a célula operar.

Memória – É um dispositivo que retém os dados internamente ou em células de armazenamento ou em capacitores ou em dispositivos de porta flutuante.

Endereço – É a localização exata de uma célula de armazenamento. É representada em binário por um barramento de endereços.

Conteúdo – É a informação retida na memória. Pode ter de um a oito bits de acordo com o arranjo da memória e pode ser lido ou escrito da memória.

Volátil – É a característica dos dispositivos que necessitam constantemente da energia vinda da fonte de alimentação para a retenção dos dados.

Não Volátil – É a característica dos dispositivos que não necessitam da energia vinda da fonte de alimentação para a retenção dos dados.

RAM – É o termo usado para os dispositivos de memória cujo acesso pode ser aleatório. Vem do inglês (random access memory) e podem ser de vários tipos. Normalmente é caracterizada pela sua capacidade de armazenamento e é do tipo volátil.

ROM – É o termo usado para os dispositivos de memória cujo acesso é apenas de leitura dos dados retidos. Vem do inglês (read only memory) e podem ser de vários tipos. Também como as memórias RAM é caracterizada pela capacidade de dados armazenados e é do tipo não volátil.

Tempo de acesso – É o tempo requerido pelo dispositivo para localizar o conteúdo específico de um endereço de memória. É um parâmetro muito importante para a memória, pois define a velocidade do dispositivo e a sua compatibilidade em tempo com outros dispositivos.

Ciclo de leitura – É o processo necessário para a realização da leitura do conteúdo da memória. Nesse processo participa sinais do hardware, como sinal de leitura (read), de habilitação (chip enable) combinada com as linhas de endereço e as linhas de dados.

Ciclo de escrita – É o processo necessário para a realização da escrita do conteúdo da memória. Nesse processo participa sinais do hardware, como sinal de escrita (write), de habilitação (chip enable) combinada com as linhas de endereços e as linhas de dados.

Ciclo de Refrescamento – É o processo precisa refrescar os dados periodicamente na memória sob o risco de perda deles. É utilizado somente na memória dinâmica, a qual retém o conteúdo em capacitor.

Buffer – É um dispositivo de memória temporária utilizada para reter os dados enquanto estão sendo transferidos de uma unidade para outra, principalmente quando existe uma diferença entre a relação entre os dados recebidos e processados.

BUFFER PRÉ-BUSCA – É um buffer de dados empregados nos dispositivos de memórias modernas do tipo DRAM os quais armazenam temporariamente os dados localizados na linha de endereços físicos da memória.

CACHE – É um tipo de buffer que armazena instruções e dados para o processamento futuro a fim de processar mais rapidamente;

Memória de massa – É um tipo de memória que tem a capacidade de armazenar um volume muito grande de informação. São as memórias conhecidas como de disco magnético, fitas magnéticas e outros.

MEMÓRIA FLASH – É um tipo de memória E²PROM não volátil cujo acesso aos dados é feito em alta velocidade. É um dispositivo que pode ser utilizado em milhares de operações e tem grande capacidade de armazenagem de dados.

PEN DRIVE – É um tipo de memória não volátil de acesso rápido e de grande densidade de informação. É um tipo de memória conhecida como E²PROM do tipo flash.

Baud-rate – É a taxa de transmissão/ recepção de dados. É expressão em bit/s e pode ser de de 1200, 2400, 4800, 9600 e 38400 bit/s.

Bandwidth – É a largura de faixa de um barramento de dados. É expressa em frequência (MHz) e define a capacidade do barramento de se comunicar em velocidade com a unidade central de processamento.

SIMM – Módulo de memória de via única (Single in-line memory module) montado sobre um conector de 72 conexões.

DIMM – Módulo de memória de via dupla (Dual in-line memory module) montado sobre um conector de inúmeros pinos alguns com 168 pinos e 240 pinos.

SDRAM – É uma memória síncrona de alto desempenho da família DRAM.

DDR – É uma memória síncrona do tipo SDRAM com dupla taxa de dados

DDR2 – É uma memória síncrona do tipo SDRAM com dupla taxa de dados para a memória e outra para o barramento de dados.

DDR3 - É uma memória síncrona do tipo SDRAM com dupla taxa de dados para a memória e outra para o barramento de dados e com busca antecipada de 8 bits e frequência do clock de entrada e saída é quatro vezes a frequência do clock da memória.

ORGANIZAÇÃO DAS MEMÓRIAS

A memória denominada de RAM (random access memory) ou memória de acesso aleatório pode ser do tipo volátil e não volátil. De acordo com a sua capacidade de armazenamento de dados as memórias podem ser organizadas em sua estrutura interna.

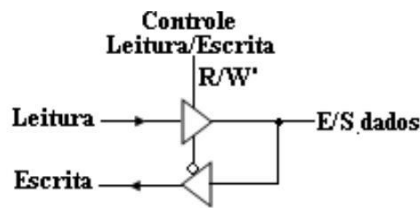
Organização Interna – As memórias podem ser organizadas de forma matricial como veremos adiante mas para o aluno entender como elas foram estruturadas internamente começaremos definindo uma célula de armazenamento, que conforme a terminologia pode ser um capacitor ou um flip-flop.

Entrada/Saída de dados – As memórias possuem pinos bidirecionais destinados para a entrada e saída de dados. O sentido dos dados será controlado pelo sinal de leitura e escrita (R/W') o qual atua sobre na saída de cada um dos buffers de entrada e saída habilitando somente um deles por operação. O buffer não ativo tem a sua saída colocada no terceiro estado. A tabela da verdade a seguir mostra a operação do controle e figura a seguir mostra como é feito essa separação das linhas de dados de entrada e saída através dos buffers terceiro estado.

Tabela da verdade

R/W'	Operação
1.	Escrita
2.	Leitura

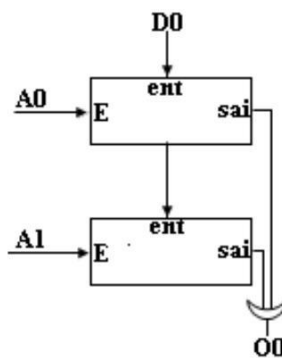
Circuito Entrada/Saída



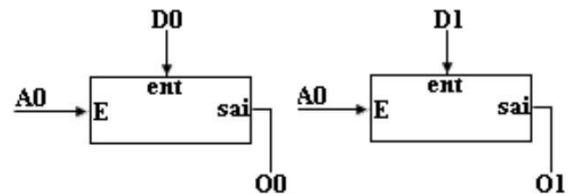
1. Célula de 1 x 1 bit



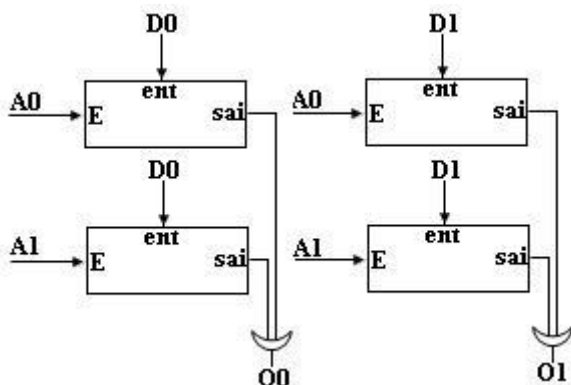
2. Células de 2 x 1 bits.



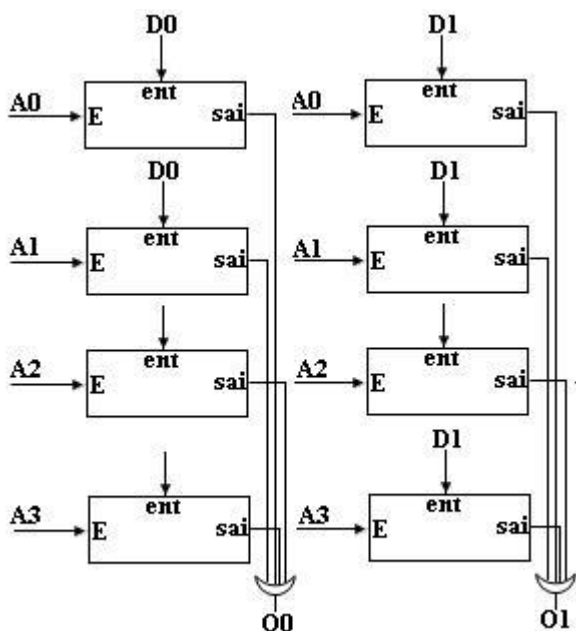
3. Células de 1 x 2 bits.



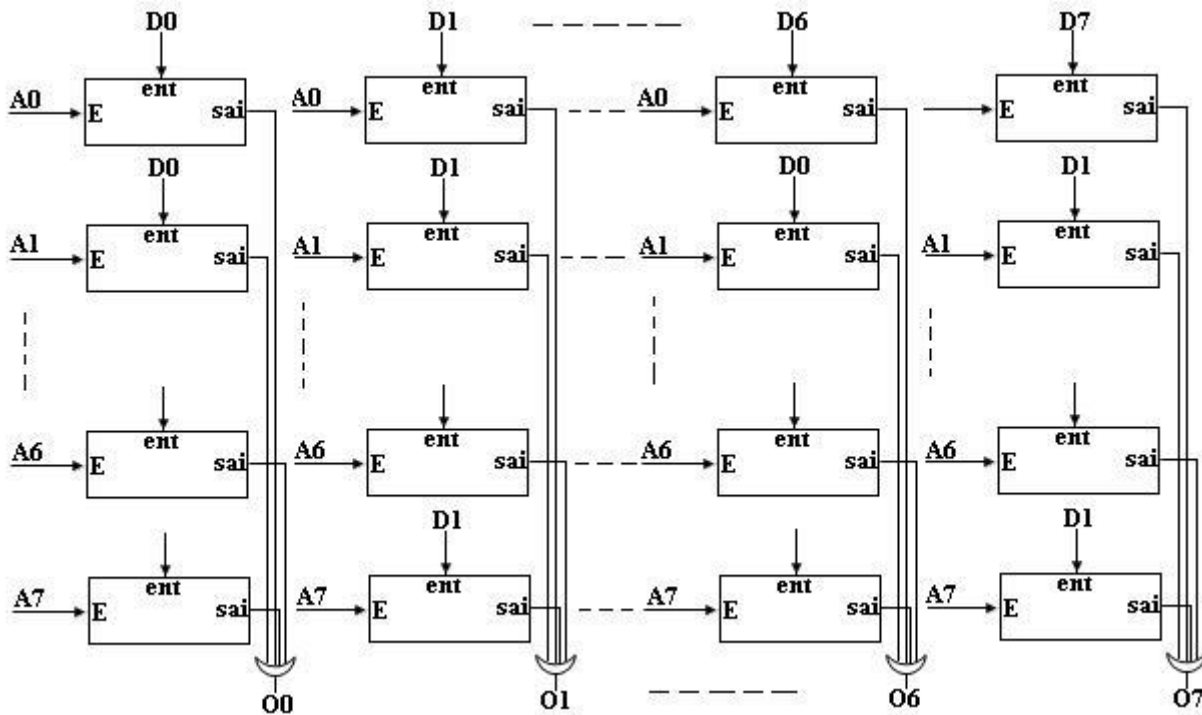
4. Células de 2 x 4 bits



5. Células de 4 x 2 bits



6. Células de 8 x 8 bits.



As linhas de endereçamento como na memória de 8 x 8, irão crescer com aumento da capacidade da memória e por exemplo uma memória de 1K x 8 já não pode usar o mesmo sistema de acesso que a memória 8 x 8, pois necessitaria de 1024 linhas de acesso (endereçamento linear). Afim de reduzir o número de linhas do endereçamento a solução inicial foi gerar as linhas de acesso através de um dispositivo lógico capaz de decodificar as linhas codificadas em binário na entrada. A codificação reduz o número de linhas de acesso igual a 2^n , onde n é igual ao número de linhas de entrada. A figura a seguir mostra o decodificador de dez linhas de endereços de A0 a A9, com uma entrada de controle CS' que permite ou não o acesso à memória.

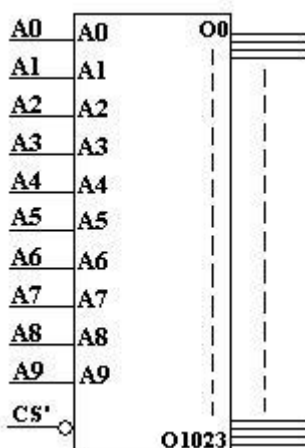


Figura: Decodificador 1K linhas

O esquema apresentado permite o acesso a memórias de pequena capacidade de armazenamento, pois criar decodificadores maiores é um pouco mais complexo e mais caro. O esquema utilizado para

memórias acima dessa capacidade, um esquema matricial funciona melhor mais complexo na estruturação. O exemplo a seguir mostra um endereçamento de um mega igual a 2^{20} , com vinte linhas de endereços.

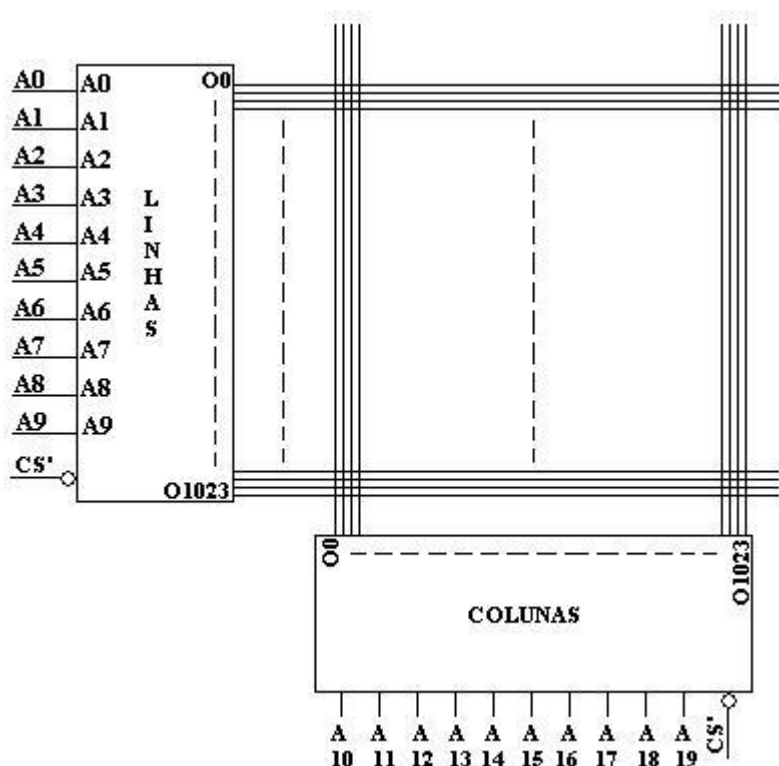


Figura: Decodificador de 1M de endereçamento esquema matricial.

A alternativa de endereçar uma memória com um arranjo matricial e quadrada, isto é, o número de linhas do decodificador igual ao número de colunas evita problemas de atrasos quando o caso não for uma matriz quadrada. Uma terminologia é utilizada para as linhas de endereços que selecionam as linhas da matriz serão doravante chamadas de *word line* enquanto as linhas de endereços que selecionam as colunas da matriz serão doravante chamadas de *bit line*.

Por exemplo, é normal reduzir a excursão da tensão sobre as linhas *bit lines* para uma tensão muito menor do que a tensão de fonte de alimentação VDD. A consequência é a redução do tempo de propagação e o consumo de energia. O cuidado que se deve ter é com relação à margem de ruído com ruído do tipo “cross-talk” uma interferência causada pela indução em linhas próximas às linhas de sinais, além de outras perturbações. Para interfacear com o mundo externo requer uma amplificação do sinal de excursão interna pelo amplificador chamado de *amplificador sense*. O funcionamento do amplificador sense é discutido na seção amplificador sensor deste capítulo. Quando se não se estabelece limites, a célula de memória pode ser reduzida de 1 a 6 transistores, como a célula 6T que veremos adiante.

TAMANHO DA MEMÓRIA

A arquitetura acima funciona muito bem quando a capacidade da memória vai até 256K, mas para arquiteturas maiores as memórias sofrem um grande problema de degradação na velocidade como o comprimento, capacitância e resistência da *word e bit line* os quais tornam excessivamente grande. A figura a seguir apresenta um particionamento em blocos pequenos para o acesso em grandes memórias. A memória então é particionada em pequenos blocos P e idênticos. Uma palavra é selecionada pelos endereços das linhas e colunas de endereçamentos e são comuns a todos os blocos. Para o endereço do

bloc P a arquitetura usa um bloco de endereço extra e uma palavra de endereço é requerida para a seleção do bloco P para ler ou escrever. A abordagem tem duas vantagens a saber:

Os comprimentos das linhas *Word e bit lines* são restritos aos blocos e são mantidos dentro de limites resultando acessos mais rápidos;

O endereço do bloco permite o acesso ao bloco selecionado e os outros blocos permanecem não ativos resultando em economia de energia, pois os decodificadores dos sensores e das linhas e colunas estão desligados.

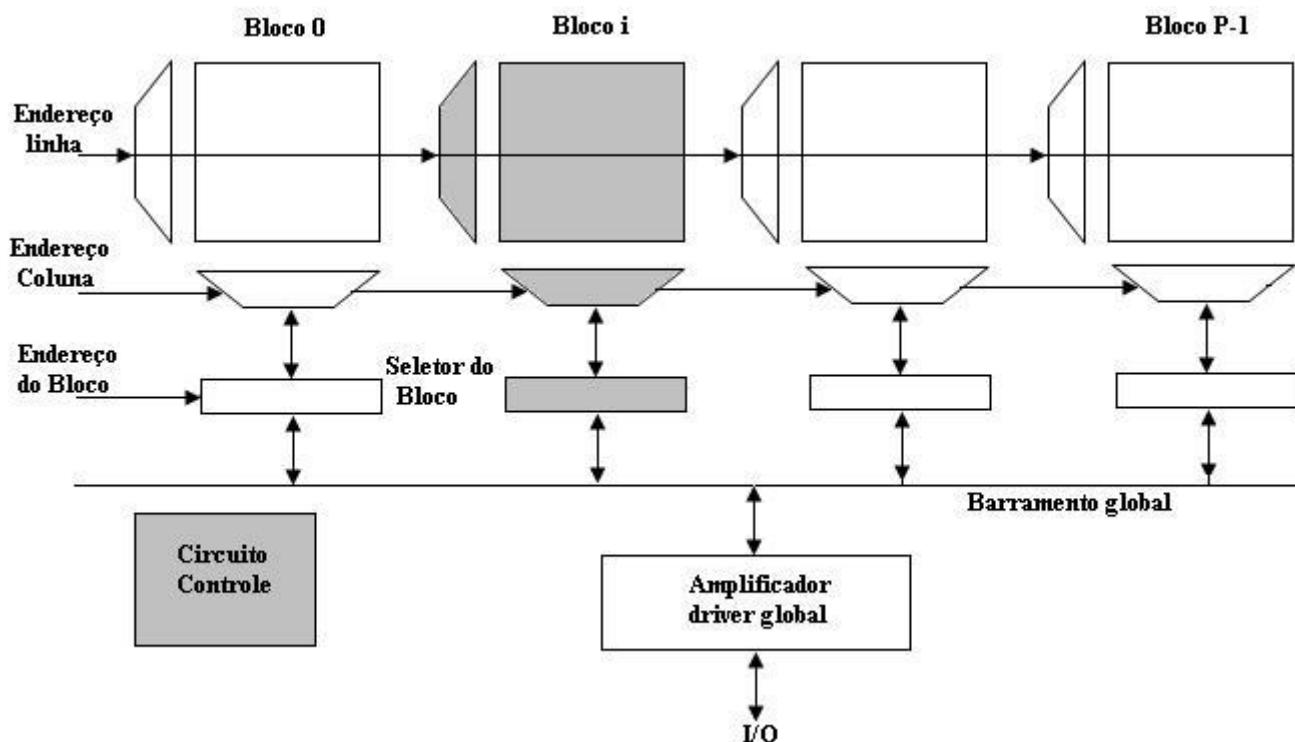


Figura: Arquitetura de memória com bloco de partição no tempo.

NÚCLEO DE MEMÓRIA

Nesta seção o foco é o projeto do núcleo da memória e sua célula de composição usando a tecnologia CMOS para o tipo de memória. A maior preocupação dos projetistas é quanto ao tamanho da célula de armazenagem tão pequena quanto possível. Esta diminuição na célula não deve afetar outras características não menos importantes como velocidade e realizabilidade. Na seção SRAM circuito da SRAM é apresentada a célula seis-T.

TIPOS DE MEMÓRIAS

Como falamos anteriormente, as memórias podem ser classificadas quanto aos tipos voláteis e não voláteis, podem ser síncronas ou assíncronas, estáticas ou dinâmicas e ainda podem ser do tipo conteúdo endereçável conhecida como memória associativa. Dentro da classificação de volátil estão as memórias a seguir:

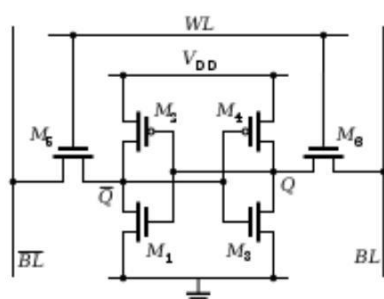
- SRAM (RAM estática);
- SRAM DDR (dupla taxa de dados) e QDR (quádrupla taxa de dados);
- DRAM (RAM dinâmica);
- SDRAM (RAM síncrona);

SDRAM DDR/DDR2/DDR3 (dupla taxa de dados); CAM (memória de conteúdo endereçável).

SRAM (Static random access memory)

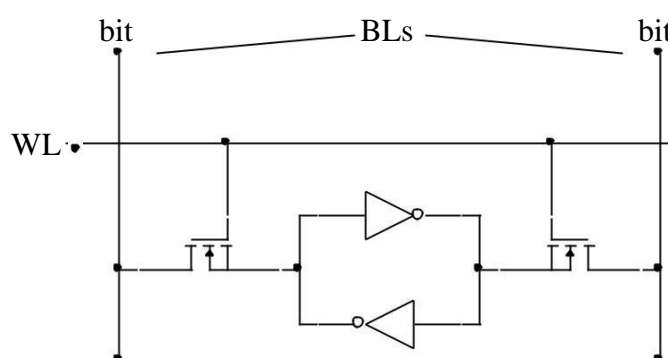
A SRAM (memória de acesso aleatória e estática) é a memória mais tradicional e a primeira a ser implementada. Possui uma célula de armazenamento composta de circuitos que retêm informações do tipo flip-flop e não necessita de qualquer mecanismo de retenção de dados. É volátil, pois depende da fonte de energia para a célula guardar o dado e a sua construção pode ser mostrada a seguir. É usada na construção de memórias cachê do computador, em virtude da sua alta velocidade.

Circuito da SRAM



Uma célula SRAM com seis-transistores CMOS.

Representação em bloco

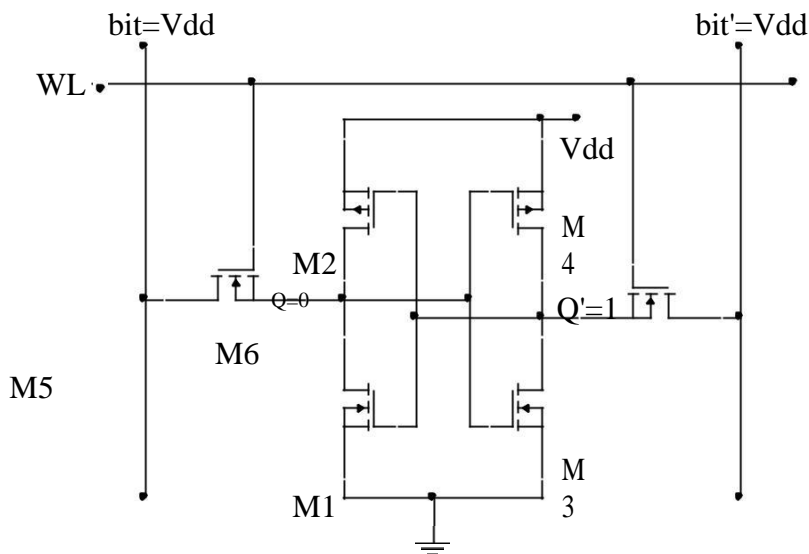


Representação da célula SRAM – 6T

Cada bit de uma célula SRAM é armazenado nos quatro transistores que forma o circuito biestável com dois inversores cruzadamente acoplados. Esse biestável como célula de armazenamento possui dois estados estáveis os quais são usados para operar em zero e um. Para o acesso ao biestável a célula de armazenagem possui dois transistores adicionais os quais permitem o acesso quando a operação é de leitura ou de escrita. Uma célula típica de armazenagem SRAM usa seis MOSFET para cada bit de memória para armazenagem. Existem células que usam menos do que seis transistores como: 3T[5][6] ou célula de 1T usada na memória DRAM.

OPERAÇÃO

A operação da célula 6T se resume em leitura e escrita. Para a leitura do bit armazenado na célula, uma maneira consiste em aplicar nas linhas BLs (bit line) a tensão de fonte VDD e em seguida a esta carga de tensão deixar as linhas em flutuação, para em seguida ativar a linha WL (word line). Vamos para efeito de entendimento considerar que o conteúdo da SRAM seja $Q = 1$ e $Q' = 0$ (Saídas dos MOSFETs dos inversores). Para essa condição então os transistores da figura a seguir se encontram M1 no estado de condução e M3 no estado de corte e os transistores M2 no estado de corte e M4 no estado de condução. Quando WL é ativo, então os transistores M5 e M6 são ligados e as linhas BLs (bit e bit') pré-carregadas com VDD são conectadas aos transistores M1 e M3. A linha BL ligada ao bit' mantém a tensão, pois o transistor M3 está cortado, mas a linha BL ligada ao bit será diminuída porque o transistor M1 está conduzindo, resultando linha bit = 0 e linha bit' = 1 na saída. Deve-se projetar a resistência de M6 maior do que dos transistores M1 para prevenir que a tensão aplicada ao transistor saturado não exceda a tensão de limiar do transistor M3 levando a mudança de estado. Isso quando ocorre é considerado malfuncionamento da célula chamada de *read upset*.



Operação de leitura na célula SRAM – 6T.

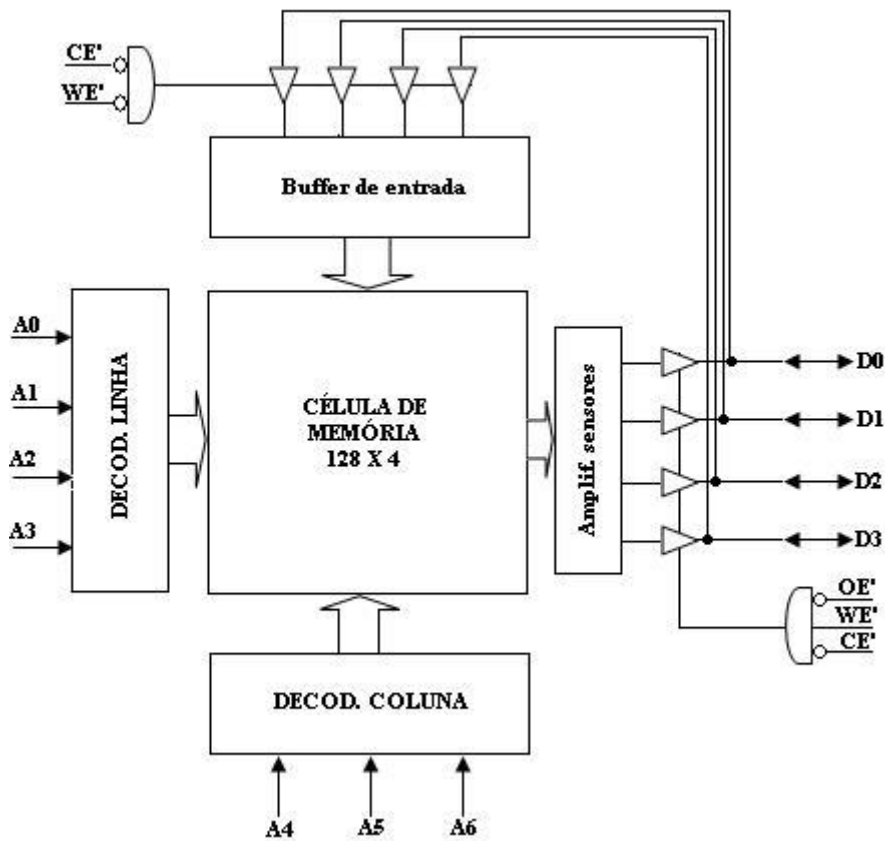
Teoricamente a célula funciona bem, mas uma preocupação na leitura da memória é a grande capacitância parasitária encontradas nas linhas BLs. Quando M6 entra no estado de condução e é ligado a linha BL é conectada diretamente à saída do transistor M1 que também está em condução e esta conexão é um nó intermediário com as portas dos transistores M3 e M4, nos quais recebem a linha BL bit igual a VDD e momentaneamente tende a aumentar de tensão. A diferença de tensão então pode provocar a transição do inversor M3 e M4 e portanto inversão dos bits armazenados. Depende da resistência do canal dos transistores M1 e M6 e o aumento de tensão não pode ultrapassar a tensão de limiar (threshold) dos transistores M3 e M4.

Quando o ciclo de leitura inicia as linhas BLs ligadas aos inversores as quais são acionadas pelos níveis zero e um na célula SRAM. Essa condição melhora a operação da SRAM comparada com as DRAMs, a qual a linha BLs é ligada ao capacitor de armazenagem. Nesse caso há uma divisão na carga provocando uma excursão da tensão subida e descida. Essa simetria estrutural da SRAM permite um diferencial o qual faz com que pequenas excursões de tensões são facilmente detectáveis.

O tamanho da SRAM com m linhas de endereços e n linhas de dados é 2^m palavras, ou $2^m \times n$ bits.

ARQUITETURA DAS MEMÓRIAS SRAM

Uma arquitetura típica para um chip SRAM é mostrada a seguir com arranjo matricial de 128 x 8bits. A tabela da verdade mostra a operação da memória. A memória possui sete linhas de endereçamento de A0 a A6 com 4 bits para a linha de endereço e 3 bits para a coluna de endereços. O barramento de dados é de 4 bits.



WE'	CE'	OE'	Operação
0	0	x	Escrita
1	0	0	Leitura
x	1	x	Ociosa
x	x	1	Ociosa

Figura: Memória de 128 x 4bits tipo SRAM.

OPERAÇÃO SRAM

Uma célula SRAM tem três estados diferentes: standby onde o circuito é ocioso, leitura quando o dado é requisitado para leitura e escrita quando o conteúdo da SRAM é atualizado.

Standby

Quando não há acesso à célula SRAM, então os transistores M5 and M6 da célula 6T são desconectados das linhas BLs.

LEITURA

A operação de leitura da célula de armazenamento 6T tem o seguinte procedimento. Vamos considerar que a memória armazenou zero na memória e a saída $Q = 0$. O ciclo começa com a pré-carga de ambas as linhas BLS bit e bit' para a tensão de nível lógico um VDD. Então quando a linha WL é ativa, o acesso aos transistores é habilitado. O próximo passo ocorre quando os valores armazenados em Q e Q' são transferidos para as linhas BLs bit e bit' com o valor pré-carregado e descarregando BL através de M1 e M6 para a lógica zero. Do outro lado da linha BL, os transistores M4 e M5 mantêm a tensão em VDD, o estado lógico um. Se o conteúdo da memória fosse invertido $Q = 1$, o contrário ocorreria e a linha bit iria para nível lógico um e a linha bit' iria para nível lógico zero. As linhas bit e bit' terão uma pequena diferença entre elas e a diferença aciona um amplificador, o qual sente quais das linhas têm mais alta tensão e assim identificará se foi armazenado um ou zero na memória. A alta sensibilidade do amplificador torna a operação de leitura da SRAM mais rápida.

Ciclo de Leitura

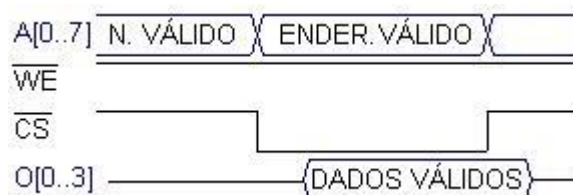


Figura: Ciclo de leitura.

ESCRITA

A operação de escrita da célula de armazenamento 6T tem o seguinte procedimento. Vamos considerar que foi aplicada à memória valor zero ou um nas linhas BLs. Se a operação de escrita é bit zero aplicada na linha bit = 0, isto é, colocando bit = 1 e bit' = 0. Este é similar a aplicação de um pulso de reset para um latch RS, O qual provoca a troca de estado do flip-flop para um. Um nível lógico um é escrito pela inversão dos valores das linhas BLs. Quando a linha WL é ativa e o valor é armazenado no latch. A única precaução são os tamanhos dos transistores na célula SRAM é necessário para garantir a operação.

Ciclo de Escrita

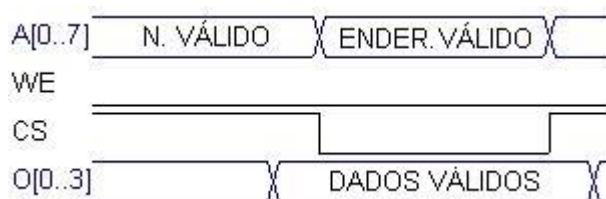


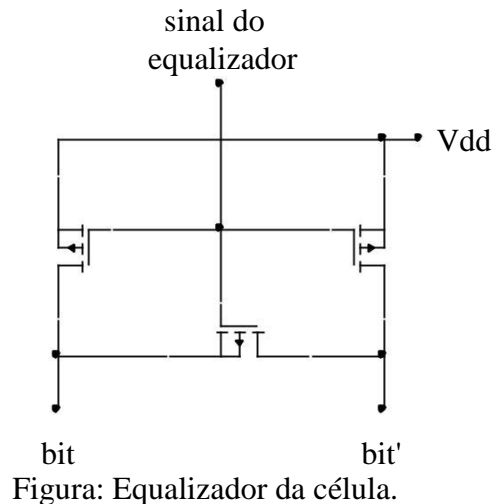
Figura: Ciclo de escrita.

COMPORTAMENTO DO BARRAMENTO

Uma memória RAM com um tempo de acesso de 70ns, os dados estarão válidos no barramento de dados dentro de 70ns após o tempo que as linhas de endereços são válidas. Os dados serão mantidos por um tempo de manutenção de (5-10ns). Tempos de subida e descida também influenciam em aproximadamente 5ns.

AMPLIFICADOR SENSOR

A finalidade do amplificador sensor é acelerar o acesso à memória SRAM e com isso um aumento na velocidade da memória SRAM. O amplificador sensor deve ser instalado entre as linhas BLs da célula de armazenagem 6T. É também inserido entre as BLs um circuito equalizador com um transistor pMOS. O equalizador instalado entre as linhas BLs tem a finalidade de equalizar a mesma tensão pré-carregada nas BLs quando a célula 6T está realizando uma operação de leitura. Nessa operação as linhas BLs são pré-carregadas com VDD e assim conforme a figura a seguir, os transistores pMOS são ativos pelo sinal do equalizador para elevação e equalização das tensões nas BLs. Depois de ocorrer a pré-carga as linhas BLs são deixadas em flutuação e isso ocorre quando o sinal de equalização é retirado. O próximo passo é ativar a linha WL e a célula 6T em uma das linhas BLs a tensão diminuirá (Q ou $Q' = 0$).



A diferença de potencial entre as linhas bit e bit' for igual a aproximadamente 0,5V, o sinal do sensor é ativo e daí os inversores biestáveis são acionados. O lado que tiver a tensão na linha BL mais alta consequentemente aciona a porta do inversor oposto cujo transistor é nMOS e a que tiver a tensão mais baixa aciona a porta do inversor oposto cujo transistor é pMOS. Dessa forma há uma rapidez em se atingir a tensão de nível lógico um e a tensão de nível lógico zero.

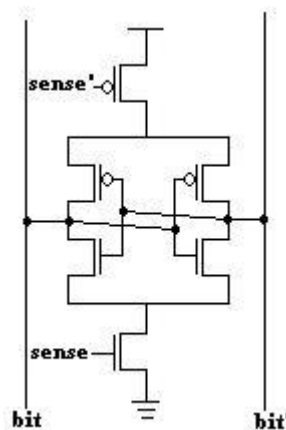


Figura: Leitura da célula.

SRAMS TIPO DDR E QDR

As memórias convencionais até então eram assíncronas, diferente conceitualmente das memórias SRAM modernas que são síncronas, portanto todas as entradas e saídas são registradas e todas as operações são controladas diretamente pelo relógio (clock) do sistema. A operação da memória DDR (taxa de dados dupla), que consiste em processar os dados (isto é, ler ou escrever) em ambas as transições do clock.

MÓDULO 06: MEMÓRIAS NÃO VOLÁTEIS

Introdução: As memórias não voláteis é uma classe de memórias que preservam o conteúdo mesmo quando a energia no dispositivo é desligada. As memórias não voláteis de uma grande aplicação como: tabelas de consultas, circuitos decodificadores, gerador de caractere e outros. As memórias não voláteis podem ser classificadas em:

- Memória apenas de leitura ROM;
- Memórias apenas de leitura com máscara MROM;
- Memória programável apenas de leitura PROM;
- Memória programável e por luz ultravioleta apagável de apenas de leitura EPROM;
- Memória programável e eletricamente apagável de apenas de leitura EEPROM;
- Memória programável e eletricamente apagável de apenas de leitura Flash;
- Memória programável e eletricamente apagável de apenas de leitura PEN;
- Outras.

Tecnologia e Estrutura interna: Para entender o dispositivo de memória não volátil, bem como a sua evolução para outros dispositivos mais modernos, inicia-se pela estrutura interna da memória ROM, assim como foi feita no capítulo referente às memórias voláteis. O dispositivo primitivo que permitiu através a evolução para os outros dispositivos foi a ROM considerada como um dispositivo de lógica programável da lógica combinacional, pois poderia ser implementada com portas lógicas organizadas matricialmente com duplo encadeamento. Vamos supor uma estrutura combinacional de memória ROM de 2 x 2bits, cujo conteúdo é igual a: $a_0b_0 = 1$, $a_0b_1 = 0$, $a_1b_0 = 1$ e $a_1b_1 = 0$, onde a_0b_0 será endereço zero, a_0b_1 o endereço um, a_1b_0 endereço dois e a_1b_1 endereço três.

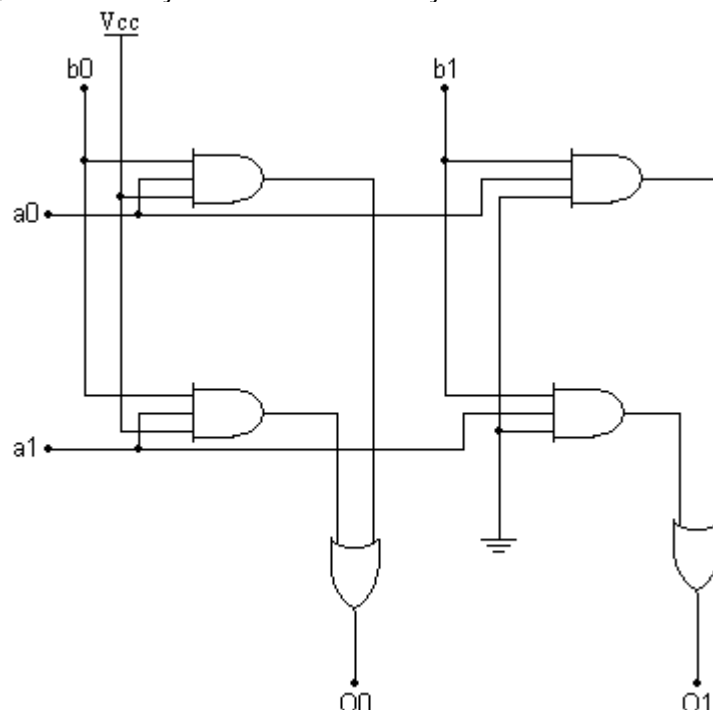


Figura: ROM – combinacional de 2 x 2bits.

A memória ROM foi utilizada em inúmeras aplicações e uma vez que vinham programada de fábrica, somente aplicações em grande quantidade era possível o seu uso. A necessidade do mercado para usar o dispositivo em projetos os quais precisavam de quantidades pequenas

acelerou os fabricantes de dispositivos a criar uma nova memória e justamente para atender aquele usuário que tivesse um uso específico e único no seu projeto. A memória poderia ser programada pelo usuário de acordo com a sua necessidade PROM (programável memória apenas de leitura), mas não permitia o seu apagamento. A dificuldade a qual limitou o seu uso foi com relação à atualização de circuitos, pois a memória não aceitava uma reprogramação. A seguir é mostrada a estrutura interna de uma PROM de 2 x 4bits.

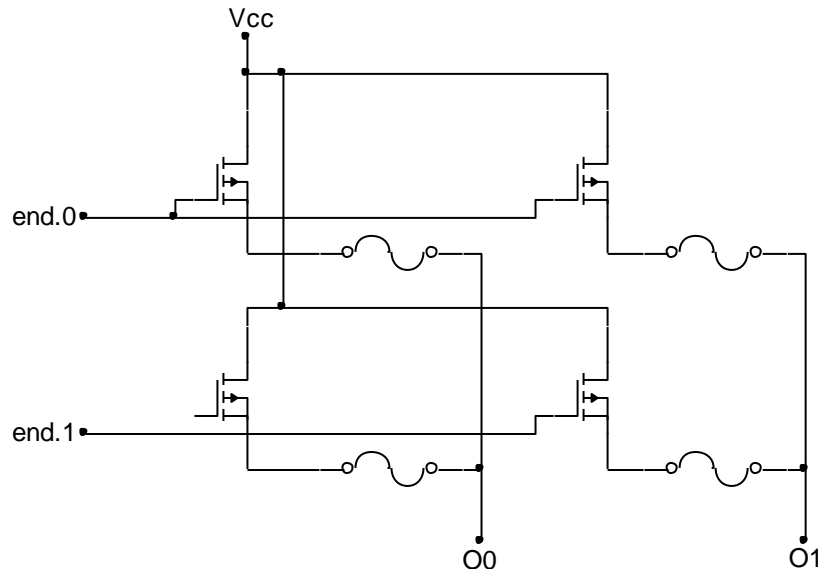


Figura: PROM de 2 x 2bits.

A memória PROM não pode ser apagada, a nova necessidade era uma memória PROM que pudesse ser apagada. A tecnologia agora seria totalmente diferente da tecnologia empregada nas memórias ROM e PROM para a nova memória EPROM (programável e apagável memória apenas de leitura). O novo recurso de apagamento seria efetuado pela aplicação de uma luz ultravioleta, com determinada intensidade e por um período de tempo. A memória é totalmente apagada e não pode ser apagada setorialmente. Os dispositivos EPROM utilizam um transistor especial de porta flutuante, a qual em síntese aprisiona os elétrons na porta. Um transistor o qual contém elétrons aprisionados está no estado de não condução e está programado com o bit zero e no caso contrário está programado com o bit um. Quando uma memória é virgem ela não contém elétrons aprisionados e dessa forma o seu conteúdo é todas as células ou bits em um. A programação de um zero é feita aplicando-se uma tensão mais alta, dá ordem de 21 Volts aos transistores localizados nas células onde o usuário deseja colocar zeros. A alta tensão faz com que os elétrons abram um caminho ou túnel (Fowler-Nordheim tunneling) entre uma parte isolante até a porta flutuante. Quando a tensão é retirada, não são possíveis os elétrons a criar um túnel de volta e daí eles ficam aprisionados na porta flutuante. O caminho de volta dos elétrons é conseguido com a aplicação de uma luz ultravioleta aplicada na janela localizada no topo do dispositivo, conforme mostrado a seguir.

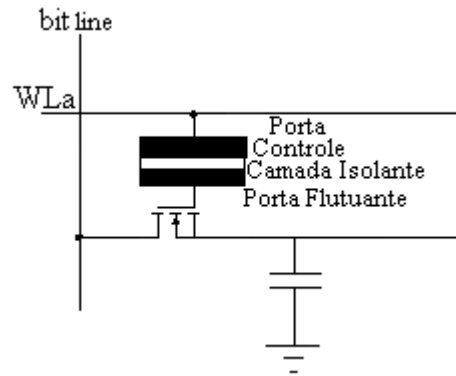


Figura: Célula de transistor de porta flutuante.

A luz ultravioleta faz com que os elétrons aprisionados sejam descarregados para a terra e a memória retorna com todas as células em nível lógico um, enfim o apagamento foi total. A figura a seguir mostra uma célula a transistor porta flutuante.

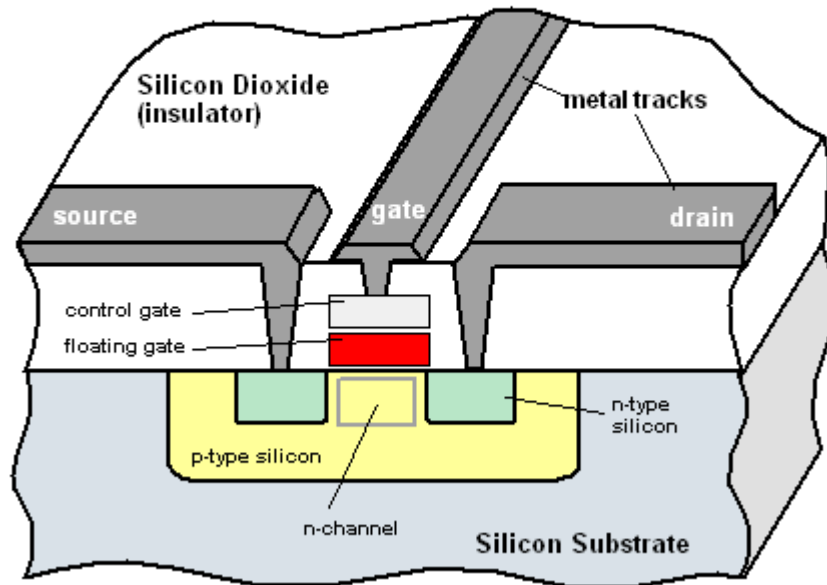
Uma vantagem do uso da EPROM (apagável e programável memória apenas de leitura) era apagar e atualizar versões de circuitos, simplesmente retirando a memória do circuito e aplicando uma nova memória. Diferente da PROM que a atualização por uma nova memória inutilizava definitivamente o dispositivo. Porém uma grande dificuldade de retirar a memória do circuito para atualização obrigava a colocação de soquetes apropriados para o acesso rápido. Se essa operação fosse feita inúmeras vezes ocorria certamente problemas mau-contato e a solução final era ou trocar o soquete do circuito ou soldar definitivamente a memória. Nenhuma das duas soluções foi bem aceita pelo usuário que pedia a reprogramação ou atualização da memória fosse feita dentro do circuito ou o circuito de programação e de apagamento fizesse parte do circuito de acesso e operação da memória.



Figura: Um chip de EPROM.

Nasce dessa idéia a memória EEPROM (eletricamente apagável e programável memória apenas de leitura). A tecnologia da memória novamente é um arranjo de transistores de portas flutuantes e a memória permite ser apagada completamente pelo circuito de apagamento no próprio circuito e com tempo de gravação dos dados razoável. A estrutura a seguir mostra a memória EEPROM.

EEPROM and Flash Transistor



A grande aplicação das EEPROM foi a sua utilização como memória temporária para equipamentos que tinham diversas ordens de operações e informações que mudavam muito pouco, pois o processo de gravação e apagamento dos dados é limitado por palavra de memória um processo muito lento embora as memórias EEPROM modernas possam ter um processo multibytes. Essa operação trouxe para o usuário alguns transtornos que devem ser superados na próxima memória a ser criada. Daí nasceu a memória chamada Flash. Com características de uma EEPROM a memória Flash teve que superar vários obstáculos como preço e tempo de acesso (velocidade de gravação e apagamento mais rápido dos dados).

APLICAÇÕES: A aplicação da memória apenas de leitura está na geração booleana, tabela de dados e outras. Para dar exemplos da potencialidade das memórias não voláteis resolveremos alguns exercícios.

Exercício: Gerar as funções F_1 , F_2 , F_3 e F_4 , de acordo com as expressões booleanas a seguir.

$$F_1 = AC + AB + BC.$$

$$F_2 = A'C + AB' + BC'.$$

$$F_3 = ABC + A'B'C + AC'.$$

$$F_4 = A'C' + A'B' + B'C'.$$

- Tabela da verdade
- Mapa de endereço e conteúdo da memória ROM.

Exercício: Gerar $y = 3x + 7$, sendo x um número em BCD-8421 e y um número binário. Pede-se:

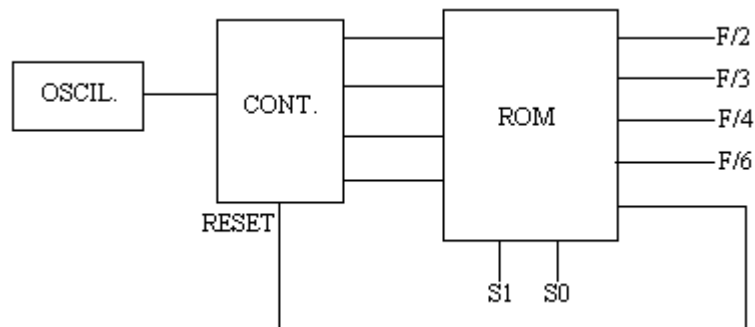
- a) A tabela da verdade.
- b) O mapa de endereço e conteúdo da ROM.

Exercício: Construir um conversor BCD-8421 para BCD-5211. Pede-se:

- a) A tabela da verdade.
- b) O mapa de endereço e conteúdo da ROM.

Exercício: Construir um gerador de formas de ondas $f_1 = f/2, f/3, f/4, f/6$, de acordo com as variáveis de seleções S_1S_0 , onde 00 – $f/2$, 01 – $f/3$, 10 – $f/4$ e 11 – $f/6$. Pede-se:

- a) Tabela da verdade (mapa da ROM), endereço e conteúdo.



Exercício: Construir um gerador de forma de onda senoidal $v(t) = 3 \text{ sen}(2\pi 1.000t)$. Gerar 12 pontos com ROM e um DAC de 5 bits. Pede-se:

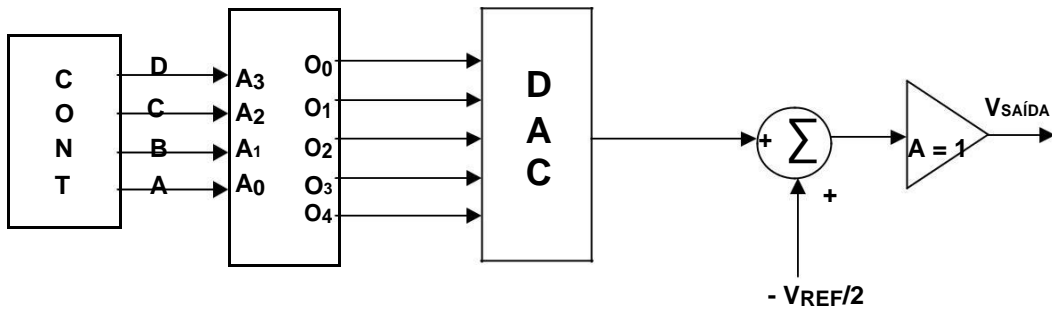
- a) O mapa de endereços e conteúdo da rom.
- b) A forma de onda na saída do amplificador.

MÓDULO 07: EXERCÍCIOS DE ROM

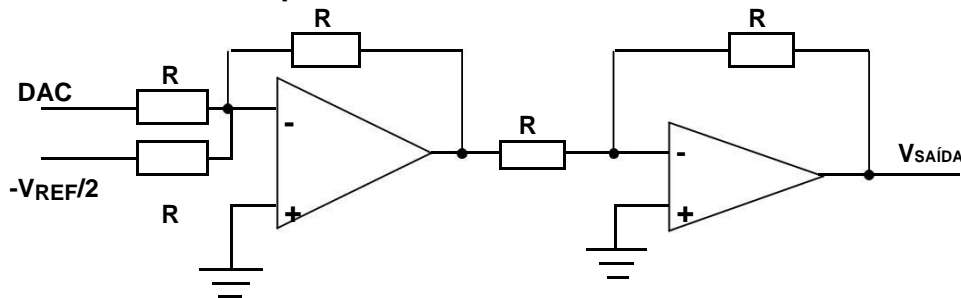
1. Construir um gerador de ondas senoidais com valor pico de 15,5V, conforme esquema a seguir. Sabendo-se que o DAC é de 5bits e a tensão de Referência é de + 15,5V. Pede-se:
- Tabela de endereços e conteúdo da ROM de 4bits de endereços.
 - Capacidade mínima da ROM.

Solução:

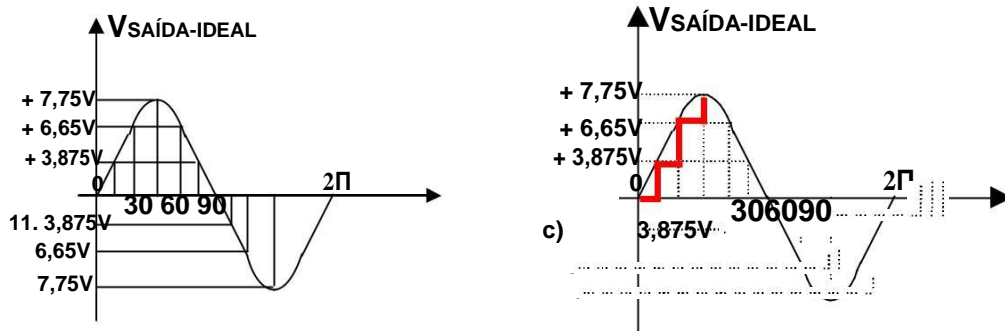
- a) Esquema do Gerador.



Detalhes do Amplificador



A forma de onda desejada é:



Como a tensão de saída é senoidal, temos: $v(t) = E_{MAX} \cdot \text{sen}\omega t$, daí:
 Faremos 12 pontos para a geração senoidal.

Ponto	Angulo	Tensão
1	0	0
2	30	+ 3,875
3	60	+ 6,65
4	90	+ 7,75
5	120	+ 6,65
6	150	+ 3,875
7	180	0
8	210	- 3,875
9	240	- 6,65
10	270	- 7,75
11	300	- 6,65
12	330	- 3,875
13	360	0

Para a geração temos um total de 12 pontos, pois 1 e 13 são os mesmos pontos.

Cálculo do passo do DAC.

$$\text{Passo} = \frac{15,5}{2^n - 1} = 0,5V. \quad n = 5 \text{ bits.}$$

O DAC deverá gerar tensões de acordo com:
Saída analógica = equivalente digital x Passo.

Como a saída do Amplificador subtrai da saída do DAC o valor de $- 7,75V$, deveremos para cada saída desejada somar em cada ponto o valor de $7,75V$ que é o que o DAC deverá gerar a mais para compensar a subtração, então:

Ponto	Angulo	Tensão de saída	Tensão no DAC	Equivalente Digital
1	0	0	+ 7,75	$7,75 / 0,5 = 16$
2	30	+ 3,875	+ 11,625	$11,625 / 0,5 = 23$
3	60	+ 6,65	+ 14,40	$14,4 / 0,5 = 29$
4	90	+ 7,75	+ 15,5	$15,5 / 0,5 = 31$
5	120	+ 6,65	+ 14,40	$14,4 / 0,5 = 29$
6	150	+ 3,875	+ 11,625	$11,625 / 0,5 = 23$
7	180	0	+7,75	$7,75 / 0,5 = 16$
8	210	- 3,875	+ 3,875	$3,875 / 0,5 = 8$
9	240	- 6,65	+ 1,1	$1,1 / 0,5 = 2$
10	270	- 7,75	0	$0 / 0,5 = 0$
11	300	- 6,65	+ 1,1	$1,1 / 0,5 = 2$
12	330	- 3,875	+ 3,875	$3,875 / 0,5 = 8$
13	360	0	+7,75	$7,75 / 0,5 = 16$

A tabela da ROM para gerar a forma de onda, será:

A ₃	A ₂	A ₁	A ₀	B ₄	B ₃	B ₂	B ₁	B ₀
0	0	0	0	1	0	0	0	0
0	0	0	1	1	0	1	1	1
0	0	1	0	1	1	1	0	1
0	0	1	1	1	1	1	1	1
0	1	0	0	1	1	1	0	1
0	1	0	1	1	0	1	1	1
0	1	1	0	1	0	0	0	0
0	1	1	1	0	1	0	0	0
1	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	1	0
1	0	1	1	0	1	0	0	0

b) Capacidade da ROM = 12 x 5.

E) Construir um multiplicador de 02 números X , Y na base 04. Utilizar para a implementação memória ROM como tabela de multiplicação.

c) Mapa da ROM.

d) A capacidade mínima da ROM necessária para implementar o multiplicador.

d) Os números X e Y na base 04 são representados em binário em 02 bits. $X = X_1X_0$ e $Y = Y_1Y_0$.

$\acute{E} = X.Y$ e $Z = Z_3Z_2Z_1Z_0$. (São necessários 04 bits para representar a multiplicação dos números X e Y).

X ₁	X ₀	Y ₁	Y ₀	Z ₃	Z ₂	Z ₁	Z ₀	End.	Cont
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1	0
0	0	1	0	0	0	0	0	2	0
0	0	1	1	0	0	0	0	3	0
0	1	0	0	0	0	0	0	4	0
0	1	0	1	0	0	0	1	5	1
0	1	1	0	0	0	1	0	6	2
0	1	1	1	0	0	1	1	7	3
1	0	0	0	0	0	0	0	8	0
1	0	0	1	0	0	1	0	9	2
1	0	1	0	0	1	0	0	A	4
1	0	1	1	0	1	1	0	B	6
1	1	0	0	0	0	0	0	C	0
1	1	0	1	0	0	1	1	D	3
1	1	1	0	0	1	1	0	E	6
1	1	1	1	1	0	0	1	F	9

3) Gerar a expressão matemática a seguir: $y = x^2 + 3$, sendo X na base 10. Apresentar o valor de y na base 2. Pede-se:

a) O mapa da ROM.

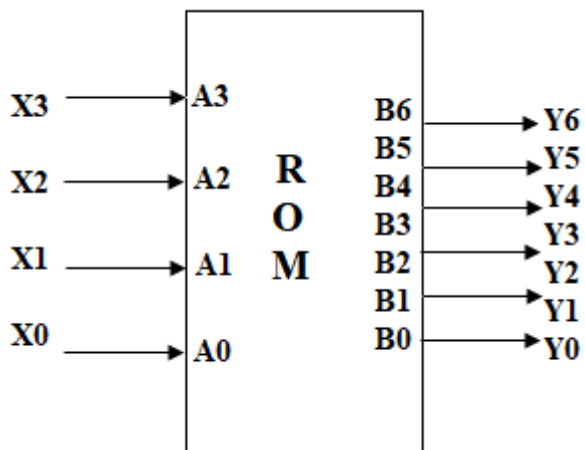
b) A capacidade mínima da ROM.

Solução:

c) é um número de 0 a 9 \Rightarrow 4 bits $X_3X_2X_1X_0$ e Y é um número de 07 bits, pois

d) = 84 para $X = 9$. Daí $Y = Y_6Y_5Y_4Y_3Y_2Y_1Y_0$.

X_3	X_2	X_1	X_0	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0	End.	Cont.
0	0	0	0	0	0	0	0	0	1	1	0	3
0	0	0	1	0	0	0	0	1	0	0	1	4
0	0	1	0	0	0	0	0	1	1	1	2	7
0	0	1	1	0	0	0	1	1	0	0	3	C
0	1	0	0	0	0	1	0	0	1	1	4	13
0	1	0	1	0	0	1	1	1	0	0	5	1C
0	1	1	0	0	1	0	0	1	1	1	6	27
0	1	1	1	0	1	1	0	1	0	0	7	34
1	0	0	0	1	0	0	0	0	1	1	8	43
1	0	0	1	1	0	1	0	1	0	0	9	54



4) Gerar as funções booleanas utilizando ROM. Pede-se:

a) Tabela da ROM.

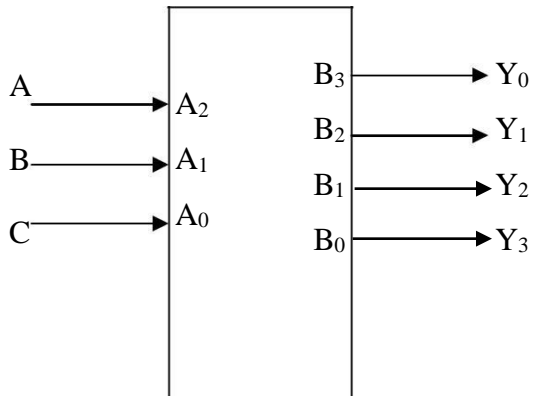
b) Capacidade da ROM.

Funções: $Y_0 = A'B'C' + AC' + BC$
 $Y_1 = ABC + B'C' + A'B$
 $Y_2 = AC + BC + AB$
 $Y_3 = AB'C' + BC'$

Como solução devemos montar a tabela da verdade das funções.

A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	End.	Cont.
A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	-	-
0	0	0	1	1	0	0	0	C
0	0	1	0	1	0	0	1	4
0	1	0	0	0	0	1	2	1
0	1	1	1	1	1	0	3	E
1	0	0	1	1	0	1	4	D
1	0	1	0	0	1	0	5	2
1	1	0	1	0	1	1	6	B
1	1	1	1	1	1	0	7	E

b) Capacidade da ROM = 8 X 4



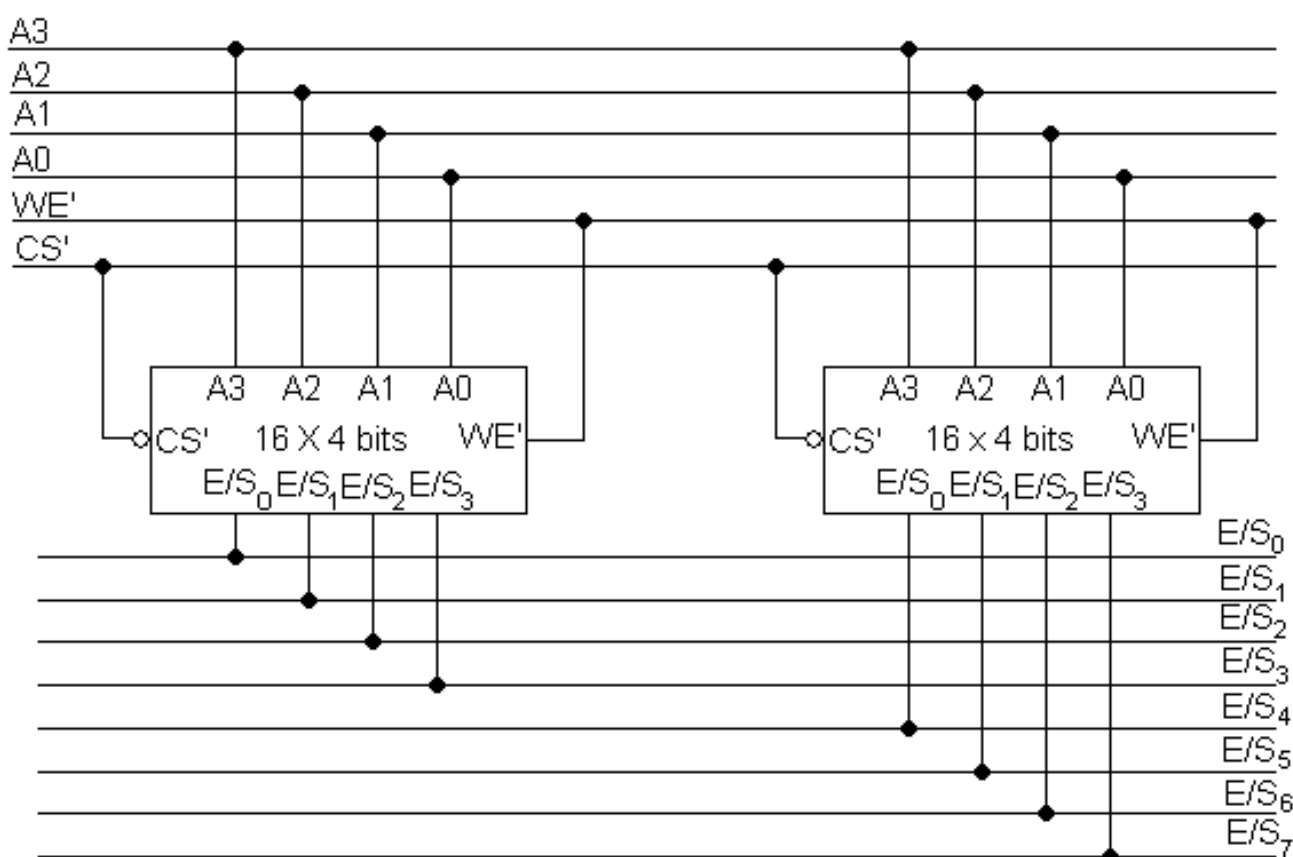
MÓDULO 08: ASSOCIAÇÃO DE MEMÓRIAS

A necessidade de aumentar a capacidade de memória em relação à capacidade do dispositivo de memória leva à associação de dispositivos de memórias. Neste capítulo far-se-á de duas formas, sendo a primeira uma associação usando somente um tipo de dispositivo e a segunda usando vários tipos de dispositivos com capacidades diferentes. A associação pode ser feita de três maneiras, a saber:

- Aumento no comprimento da memória com aumento do número de endereços da memória;
- Aumento na largura da memória com aumento no tamanho da palavra da memória;
- Aumento no comprimento e na largura da memória com crescimento em ambos os endereços e os conteúdos da memória.

Aumento da largura da memória

O aumento na largura da memória é o incremento no barramento dos dados de n para m bits. A manutenção do barramento dos endereços.



F				
E				
D				
C				
B				
A				
9				
8				
7				
6				
5				
4				
3				
2				
1				
0				
End.	Bit0	Bit 1	Bit 2	Bit 3

Memória 1 – CS' = 0

F				
E				
D				
C				
B				
A				
9				
8				
7				
6				
5				
4				
3				
2				
1				
0				
End.	Bit 4	Bit 5	Bit 6	Bit 7

MEMÓRIA 2 – CS' = 0

Aumento do comprimento da memória

O aumento no comprimento da memória se resume no crescimento do número de linhas de endereçamento. Por exemplo, para a facilidade de análise vamos trabalhar com um único dispositivo de capacidade igual a 16 x 4bits e o objetivo é montar um banco de memória, associando esse dispositivo, cuja capacidade é de 32 x 4bits. Para ilustração o bloco abaixo é o resultado final da associação.

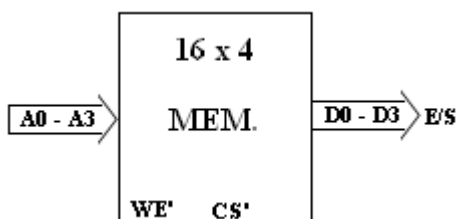


Figura: Chip de memória de 16 x 4bits.

Para a montagem do banco pode-se calcular o número de dispositivos necessários da forma:

Número de dispositivos = total do banco/capacidade do dispositivo.

Para o exemplo, terá

Número de dispositivos = $32 \times 4 / 16 \times 4 = 2$ memórias.

Para o endereçamento de 32 linhas há a necessidade de cinco bits de A0 a A4. As linhas denominadas comuns são as linhas de endereços as quais são iguais nos dois dispositivos. Como cada dispositivo é o mesmo, então as linhas comuns são as mesmas linhas de endereços do chip, ou seja, A0 a A3. A linha A4 será a linha de seleção. Isso pode ser usado como regra geral em todos os casos. Como os endereços das duas memórias são linhas comuns, então num endereçamento real, como as memórias sabem se o usuário quer acessar uma ou outra? A resposta é simples a linha A4 será a linha de seleção e vai selecionar qual das duas memórias deve operar, quando A4 = 0 estamos buscando o acesso aos endereços de 0 a 15 e quando A4 = 1 estamos buscando o acesso para aos endereços de 16 a 31. Cada dispositivo de memória tem uma entrada de habilitação chamada de seletor do dispositivo (chip select) que ativo permite o acesso à memória e não ativo desliga completamente a saída da memória (terceiro

estado). A utilização desse recurso permite A4 selecionar uma ou outra das memórias, mas a utilização dessa entrada usando somente a entrada A4 ocupa esta entrada e, portanto deve-se criar uma nova entrada CS para o banco, conforme esquema de representação. A seguir implementa-se a lógica do CS para ativação de uma ou outra memória por A4. Sendo as variáveis de entrada CS(do banco) e A4 linha de endereço e as variáveis de saídas CS1 da memória de 0 a 15 e CS2 da memória de 16 a 31. As linhas CS ativam com nível lógico zero e a memória está pronta para o acesso para nível lógico 1 a memória está desligada.

CS'	A4	CS1'	CS2'
0	0	0	1
0	1	1	0
1	x	1	1

As expressões booleanas serão:

$$CS1' = (CS'' \cdot A4')' = (CS \cdot A4')' = CS' + A4$$

$$CS2' = (CS'' \cdot A4)' = (CS \cdot A4)' = CS' + A4'$$

Podemos representar as entradas CS's com um símbolo de inversão e chamar essas entradas de CS1' e CS2'.

A implementação da lógica dos CS's serão com duas portas OU de duas entradas e um inversor para a linha de endereço A4. O circuito da associação fica:

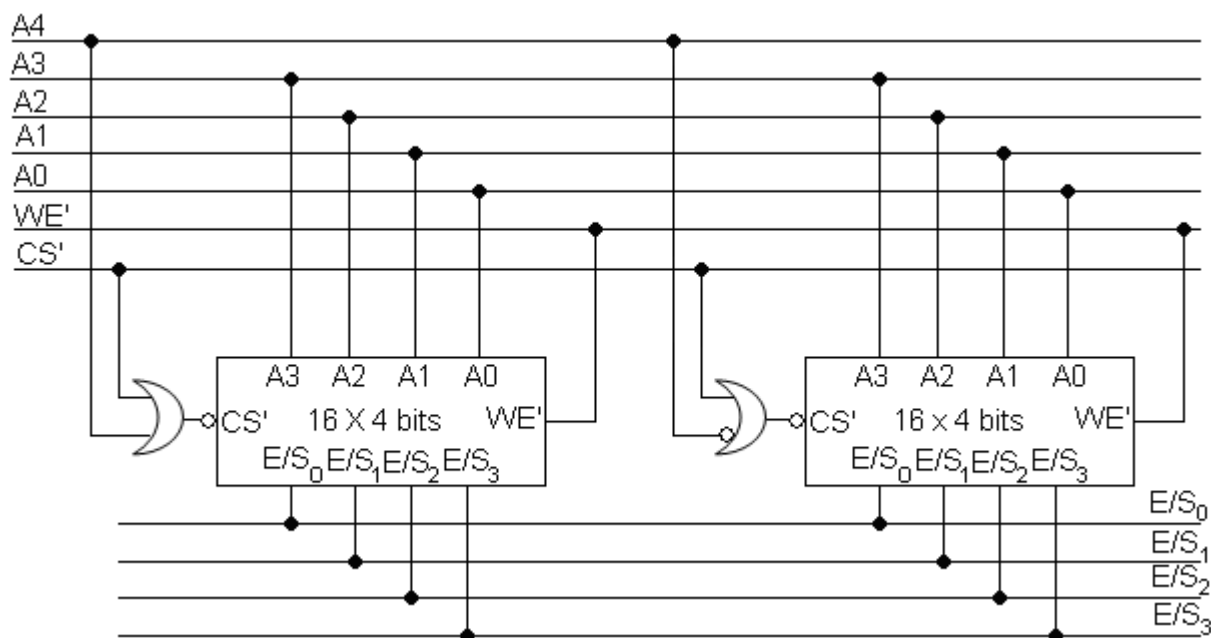


Figura: Banco de memória de 32 x 4 usando chips de memória de 16 x 4.

Memória 1 $A_4 = 0 - CS_1' = 0$

F				
E				
D				
C				
B				
A				
9				
8				
7				
6				
5				
4				
3				
2				
1				
0				
End.	Bit0	Bit 1	Bit 2	Bit 3

Memória 2 $A_4 = 1 - CS_2' = 0$

1F				
1E				
1D				
1C				
1B				
1A				
19				
18				
17				
16				
15				
14				
13				
12				
11				
10				
End.	Bit0	Bit 1	Bit 2	Bit 3

Aumento da largura e comprimento banco de memória de 32 x 8.

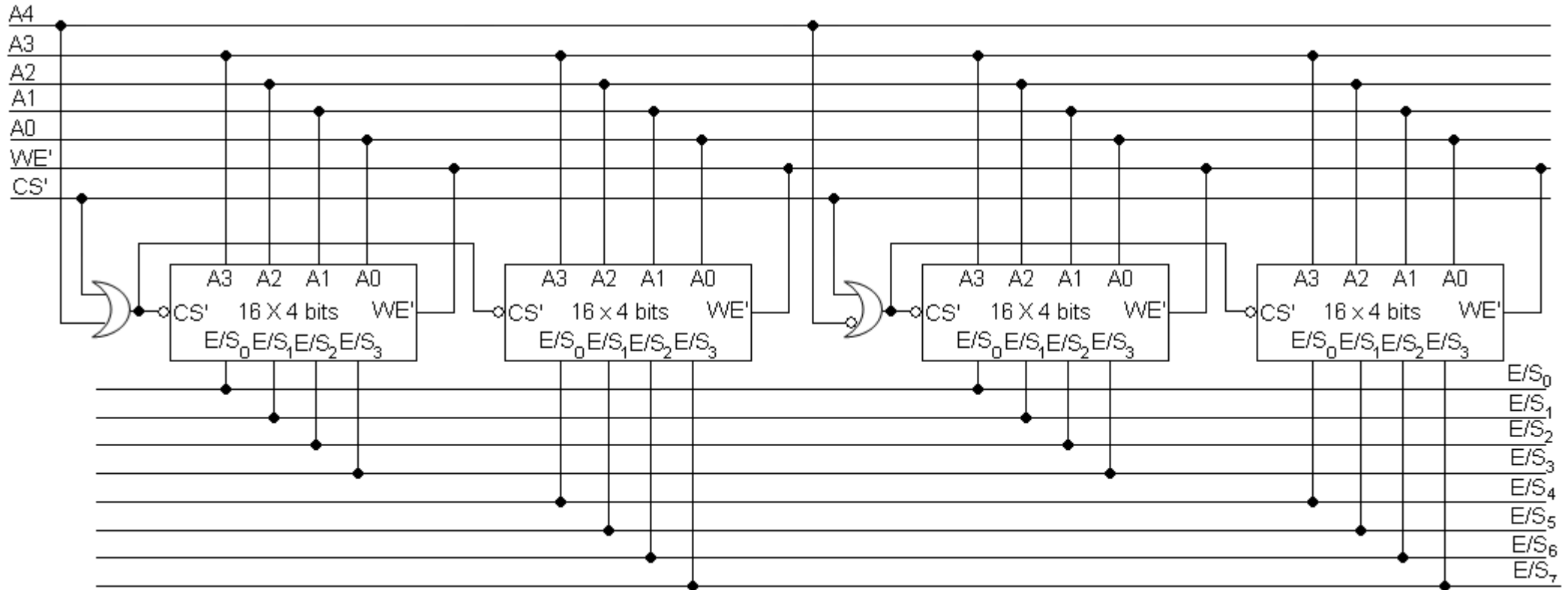


Figura: Banco de memória de 32 x 8 bits usando chips de memórias de 16 x 8 bits.

Exemplo: Construir um banco de memória de 8K x 8 bits, usando memória de 1k x 8 bits. Para o circuito de seleção usar um decodificador comercial 74138, conforme descrito pela tabela da verdade a seguir, Realizar a configuração do banco.

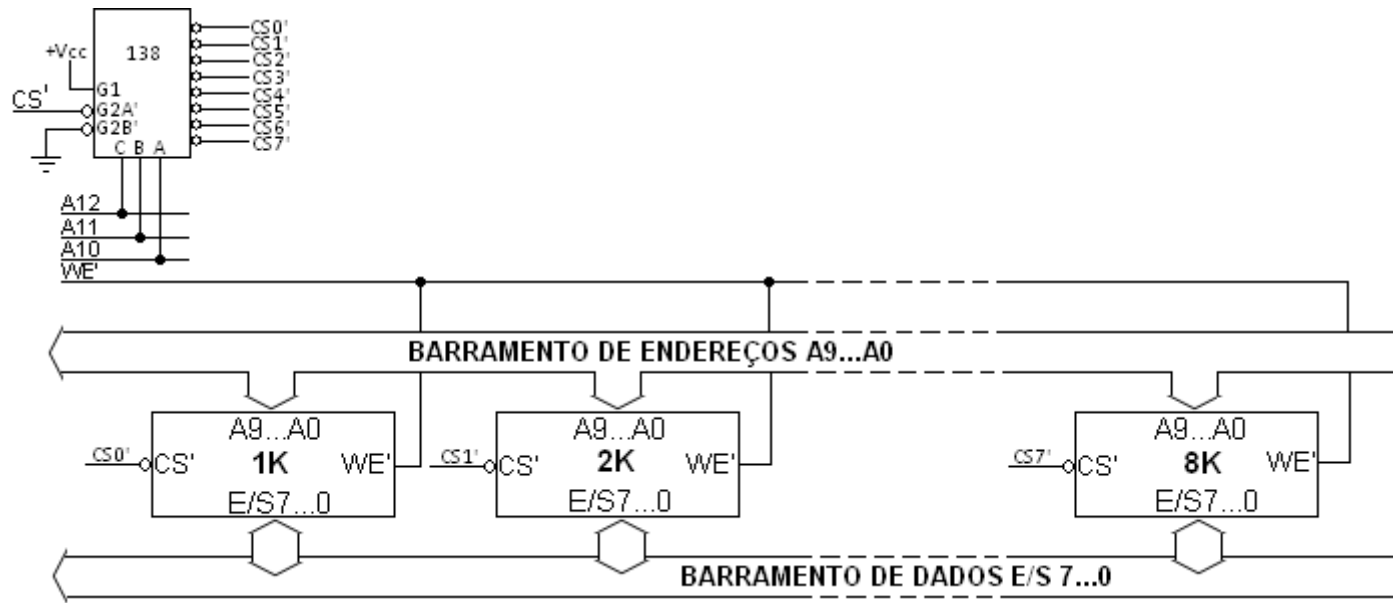


Figura: Banco de memória de 8K x 8 bits usando chips de memória de 1K x 8 bits.

Exemplo: Construir um banco de memória conforme mapa de memória a seguir.

- a) Configuração do banco de memória usando PLD - Decodificador.
- b) Idem anterior usando a PLD – ROM.
- c) Idem anterior usando a PLD – PAL.

Endereço Inicial 0 a 15K	Mapa de memória
11264D - 2C00H	4K
10240D - 2800H	1K
7168D - 1C00H	3K
3072D - 0C00H	4K
1024D - 0400H	2K
0D - 0000H	1K

- a) Decodificador. 4 x 16 saídas.

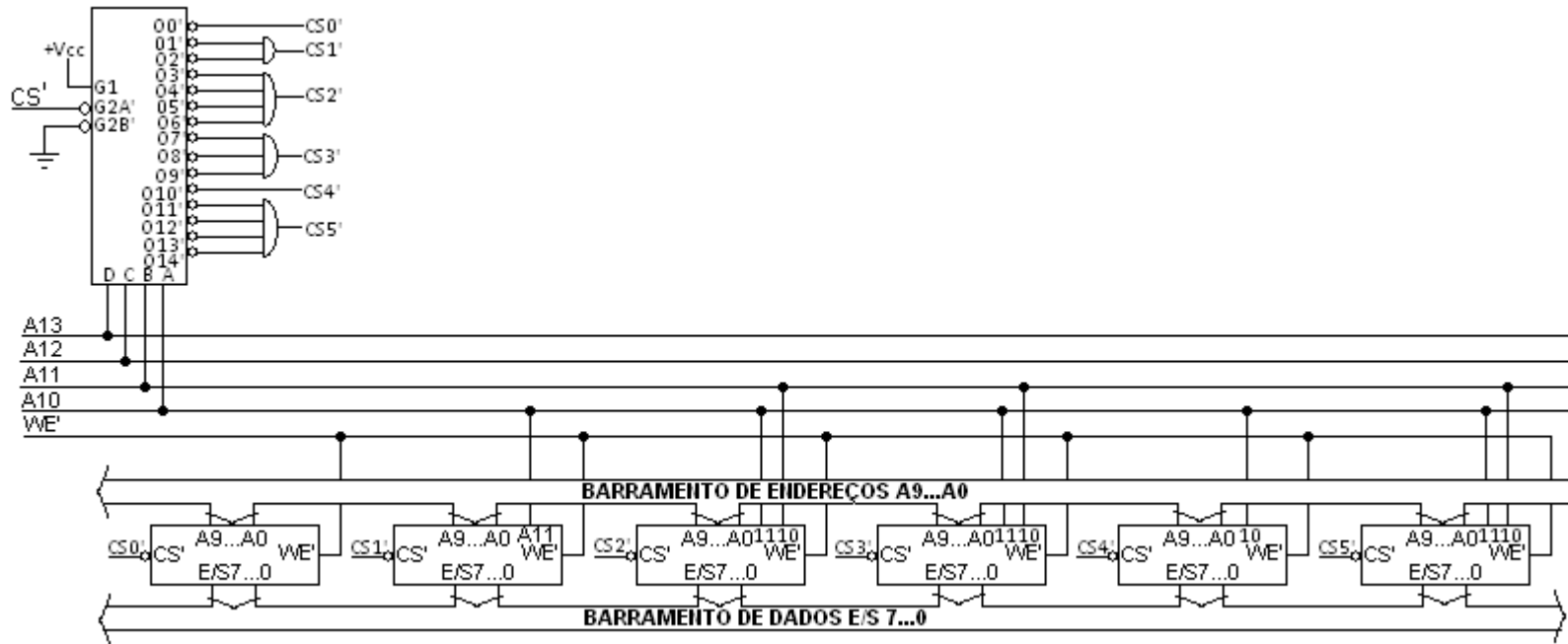


Figura: Banco de 15K x 8 bits usando chips de diversos tamanhos diferentes com decodificador.

b) ROM.

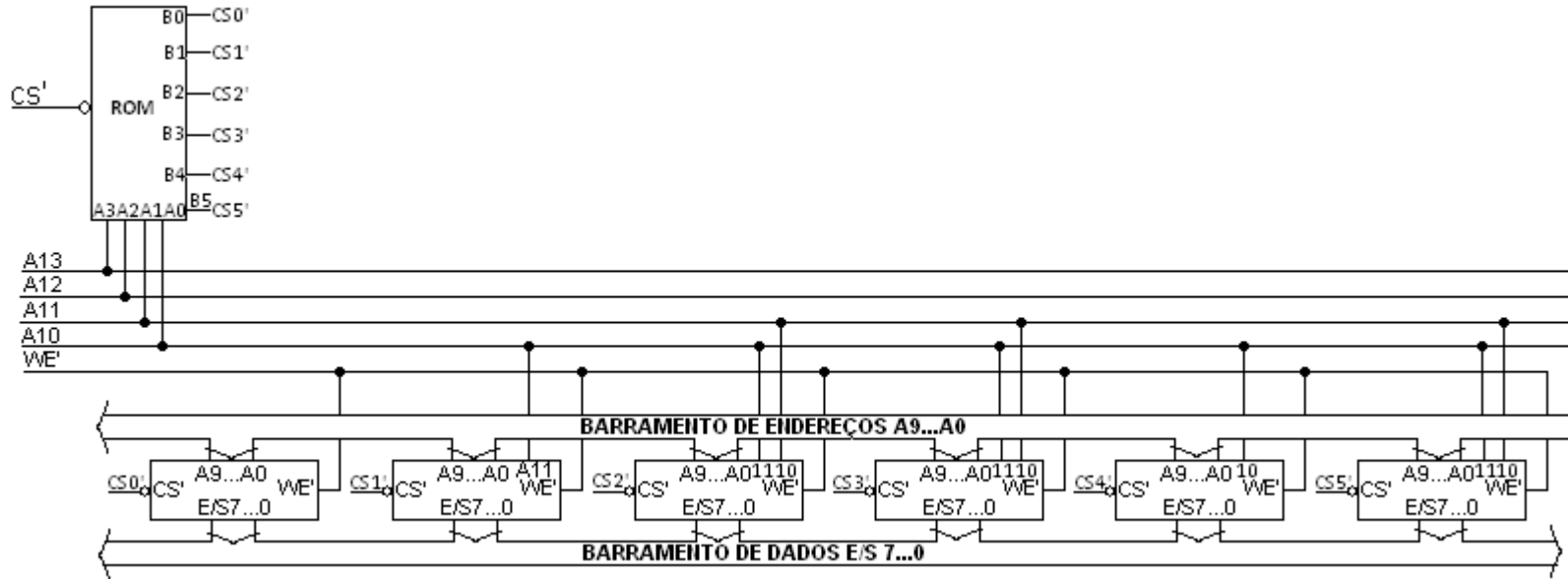


Figura: Banco de 15K x 8 bits usando chips de diversos tamanhos e implementação com ROM.

Mapa da ROM.

CS'	A13	A12	A11	A10	CS0'	CS1'	CS2'	CS3'	CS4'	CS5'
1	X	X	X	X	1	1	1	1	1	1
0	0	0	0	0	0	1	1	1	1	1
0	0	0	0	1	1	0	1	1	1	1
0	0	0	1	0	1	0	1	1	1	1
0	0	0	1	1	1	1	0	1	1	1
0	0	1	0	0	1	1	0	1	1	1
0	0	1	0	1	1	1	0	1	1	1
0	0	1	1	0	1	1	0	1	1	1
0	0	1	1	1	1	1	1	0	1	1
0	1	0	0	0	1	1	1	0	1	1
0	1	0	0	1	1	1	1	0	1	1
0	1	1	0	0	1	1	1	1	0	1
0	1	1	0	1	1	1	1	1	1	0
0	1	1	1	0	1	1	1	1	1	0
0	1	1	1	1	0	1	1	1	1	0

Capacidade da ROM = 15 x 6 bits.

c) PAL – As equações SÃO:

$$CS0' = [(A13'.A12'.A11'.A10').CS]'$$

$$CS1' = [A13'.A12'(A11.A10' + A11'.A10)CS]'$$

$$CS2' = [A13'.A12'.A11.A10 + A13'.A12(A11' + A11A10')CS]'$$

$$CS3' = [(A13'.A12.A11.A10 + A13.A12.A11')CS]'$$

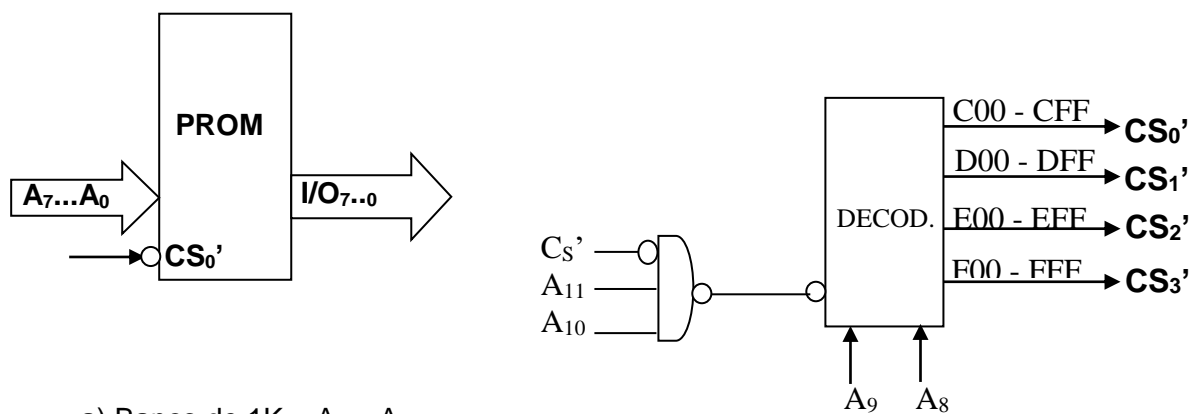
$$CS4' = [(A13.A12'.A11.A10')CS]'$$

$$CS5' = [(A13.A12'.A11.A10 + A13.A12)CS]'$$

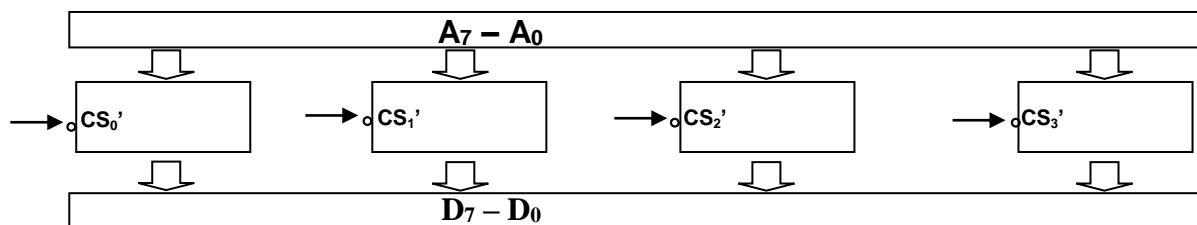
Exercício: Conforme a tabela a seguir, construir:

- Um banco de 1K memórias PROM associadas.
- Implementação do sistema de seleção usando ROM como decodificador.
- Idem item b) implementação com PAL.

Endereço inicial do banco é C00H.



a) Banco de 1K = $A_0 - A_9$.



b) ROM

A ₉	A ₈	CS ₀ '	CS ₁ '	CS ₂ '	CS ₃ '	-	-
A ₁	A ₀	B ₀	B ₁	B ₂	B ₃	End.	Cont.
0	0	0	1	1	1	0	7
0	1	1	0	1	1	1	B
1	0	1	1	0	1	2	D

C = 4 x 4.

c) PAL

$$CS_0' = [CS'(A_{11}A_{10}A_9'A_8)']$$

$$CS_1' = [CS'(A_{11}A_{10}A_9'A_8)']$$

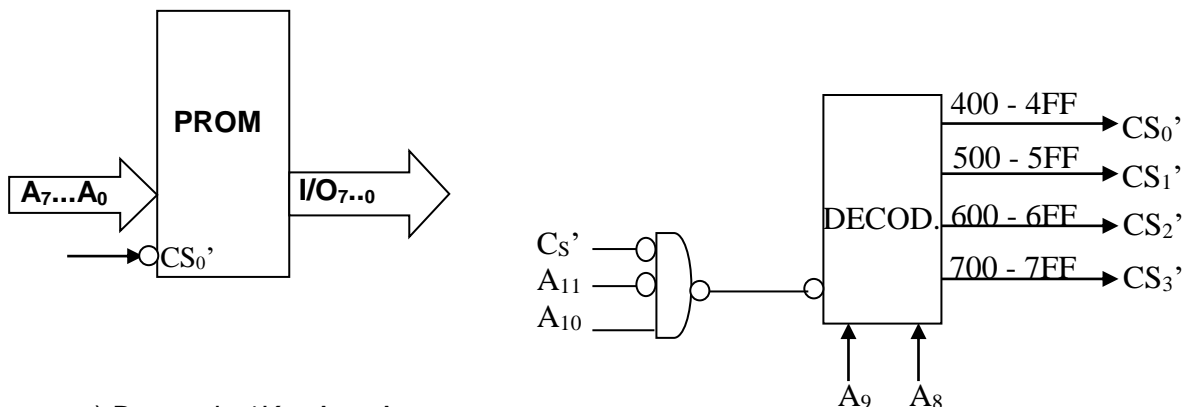
$$CS_2' = [CS'(A_{11}A_{10}A_9'A_8)']$$

$$CS_3' = [CS'(A_{11}A_{10}A_9'A_8)']$$

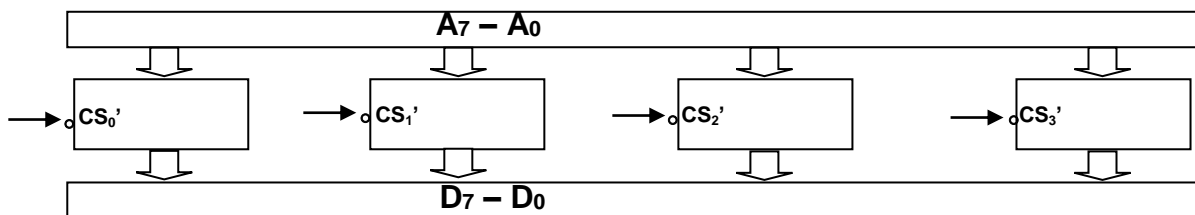
Exercício: Conforme a tabela a seguir, construir:

- Um banco de 1K memórias PROM associadas.
- Implementação do sistema de seleção usando ROM como decodificador.
- Idem item b) implementação com PAL.

Endereço inicial do banco é 400H.



a) Banco de 1K = A₀ – A₉.



b) ROM

A ₉	A ₈	CS ₀ '	CS ₁ '	CS ₂ '	CS ₃ '	-	-
A ₁	A ₀	B ₀	B ₁	B ₂	B ₃	End.	Cont.
0	0	0	1	1	1	0	7
0	1	1	0	1	1	1	B
1	0	1	1	0	1	2	D
1	1	1	1	1	0	3	E

C = 4 X 4.

c) PAL

$$CS_0' = [CS'(A_{11}'A_{10}A_9'A_8)']'$$

$$CS_1' = [CS'(A_{11}'A_{10}A_9'A_8)]'$$

$$CS_2' = [CS'(A_{11}'A_{10}A_9A_8)']'$$

$$CS_3' = [CS'(A_{11}'A_{10}A_9A_8)]'$$

Exercício: De acordo com o mapa a seguir um banco de memória de capacidade 16K x 8. Pede-se:

a) O projeto do decodificador realizado com memória ROM. Tabela de endereços e conteúdos, sabendo-se que cada dispositivo dispõe de um seletor de chip CS'_i, onde i = 0 a 3.

b) As equações booleanas para geração com PAL.

4K
4K
6K
2K

2000

Exercício: De acordo com o mapa a seguir um banco de memória de capacidade 16K x 8. Pede-se:

- O projeto do decodificador realizado com memória ROM. Tabela de endereços e conteúdos, sabendo-se que cada dispositivo dispõe de um seletor de chip CSⁱ, onde i = 0 a 3.
- As equações booleanas para geração com PAL.

2K
4K
6K
4K

2000

Exercício: Determinar para a faixa de endereços apresentada na tabela a seguir. Sabendo-se que o endereço inicial é igual a (0400)₁₆, e o banco inicia pela memória de 4K inferior. Pede-se:

- Indicar a faixa de endereços de cada CI no quadro abaixo.
- A equação de cada seletor de pastilha (CS = ativo com zero) cada CI.
- A equação do seletor do banco de memória (CS = ativo com zero). O decodificador de seleção é uma ROM com seleção de pastilha (CS = ativa com zero).

CI	Faixa de Endereço em Hex
4K	2000 – 2FFF
1K	1C00 – 1FFF
1K	1800 – 1BFF
1K	1400 – 17FF
4K	0400 – 13FF

As linhas A₁₅ = A₁₄ = 0 e A₀ – A₉ = Linhas comuns.

A ₁₃	A ₁₂	A ₁₁	A ₁₀	CS ₁	CS ₂	CS ₃	CS ₄	CS ₅
0	0	0	0	1	1	1	1	1
0	0	0	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1
0	0	1	1	0	1	1	1	1
0	1	0	0	0	1	1	1	1
0	1	0	1	1	0	1	1	1
0	1	1	0	1	1	0	1	1
0	1	1	1	1	1	1	0	1
1	0	0	0	1	1	1	1	0
1	0	0	1	1	1	1	1	0
1	0	1	0	1	1	1	1	0
1	0	1	1	1	1	1	1	0
1	1	0	0	1	1	1	1	1
1	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1
1	1	1	1	1	1	1	1	1

b) As equações de cada seletor, será:

$$CS_1' = [A_{13}'A_{12}'(A_{11} + A_{10}) + A_{13}'A_{12}A_{11}'A_{10}']'$$

$$CS_2' = [A_{13}'A_{12}A_{11}'A_{10}]'$$

$$CS_3' = [A_{13}'A_{12}A_{11}A_{10}']'$$

$$CS_4' = [A_{13}'A_{12}A_{11}A_{10}]'$$

$$CS_5' = [A_{13}A_{12}']'$$

c) $CS'_{ROM} = CS'(A_{13}A_{12} + A_{13}'A_{12}'A_{11}'A_{10}')$

$A_{13}A_{12}$	00	01	11	10
$A_{11}A_{10}00$	1	0	1	0
01	0	0	1	0
11	0	0	1	0
10	0	0	1	0