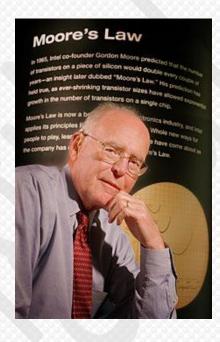


1. PANORAMA REAL DOS SISTEMAS DIGITAIS 2020.

1.1 Introdução — A tabela a seguir mostra a evolução da tecnologia x ano dos circuitos integrados pelo número de transistores.

Microprocessor	Year of Introduction	Transistors
4004	1971	2,300
8008	1972	2,500
8080	1974	4,500
8086	1978	29,000
Intel286	1982	134,000
Intel386™ processor	1985	275,000
Intel486 [™] processor	1989	1,200,000
Intel® Pentium® processor	1993	3,100,000
Intel® Pentium® II processor	1997	7,500,000
Intel® Pentium® III processor	1999	9,500,000
Intel® Pentium® 4 processor	2000	42,000,000
Intel® Itanium® processor	2001	25,000,000
Intel® Itanium® 2 processor	2003	220,000,000
Intel® Itanium® 2 processor (9MB cache)	2004	592,000,000



A Lei de Moore

Gordon E. Moore, Co-founder, Intel Corporation.

Source:

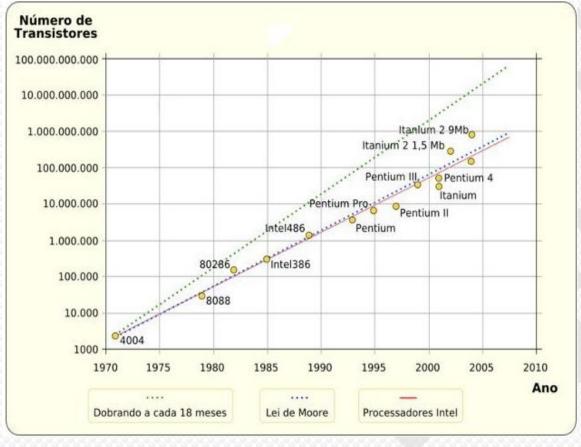
http://www.intel.com/museum/archives/history_docs/mooreslaw.htm
Em 1965, Gordon Moore (cofundador da Intel) previu que o número de transistores integrados por chip dobraria a cada 24 meses.

"The number of transistors incorporated in a chip will approximately double every 24 MONTHS".

Gordon E. Moore, Co-founder, Intel Corporation.
Source: http://www.intel.com/museum/archives/history_docs/mooreslaw.htm



1.2 Evolução da quantidade de transistores x tempo



1.3 Fim da Lei de Moore - Previsões futuras

- Evolução dos computadores, porque deverá acelerar o distanciamento de uma arquitetura envelhecida;
- Computadores mais velozes com uma série de processadores e componentes de aceleração da computação;
- A computação também pode avançar por via do desenvolvimento dos componentes de memória, com um canal de interação ("bus") muito mais rápido, o que aumenta a velocidade de processamento;
- A ideia de um computador mais baseado em memória vai ao encontro da estratégia da HPE, a qual desenvolveu um computador "The Machine" com essa perspectiva;
- "The Machine" pode eventualmente ser baseada em um "memristor", uma forma mais inteligente de memória e armazenamento, capaz de monitorar padrões de dados.



1.4 Inspiração para processadores vem do cérebro

- A longo prazo, os chips "neuromórficos" concebidos à imagem do funcionamento do cérebro poderão também liderar a evolução da computação. A HPE está desenvolvendo um chip projetado para imitar um cérebro humano, e chips similares estão sendo desenvolvidos pela IBM, Qualcomm e universidades nos Estados Unidos e na Europa.
- "Embora a nossa compreensão sobre os cérebros de hoje seja limitada, sabemos o suficiente para projetar e construir circuitos capazes de acelerar certas tarefas computacionais", escreveu Williams. Potenciais aplicações como as de Machine Learning destacam a necessidade do surgimento de novos tipos de chips.
- A IBM defende que o seu <u>processador "neuromórfico" TrueNorth</u> é mais rápido e mais eficiente em termos de consumo de energia do que os chips convencionais de Deep Learning, como as GPUs da Nvidia e a TPU do Google. Williams sugere ainda que os componentes ASIC e as FPGA poderão desempenhar um papel crucial na evolução da computação para além da Lei de Moore.
- Essas tecnologias vão usar interconexões muito rápidas, como a Gen Z, introduzida no ano passado com o suporte de grandes fabricantes de chips e servidores como a Dell e a HPE.
- Os computadores quânticos também estão despontando como potenciais substitutos dos PC e servidores atuais, mas ainda estão a décadas de executar aplicações de uso mais quotidiano.



1.5 CLASSIFICAÇÃO DOS SISTEMAS DIGITAIS E FAMÍLIA DE SUBSISTEMAS DIGITAIS

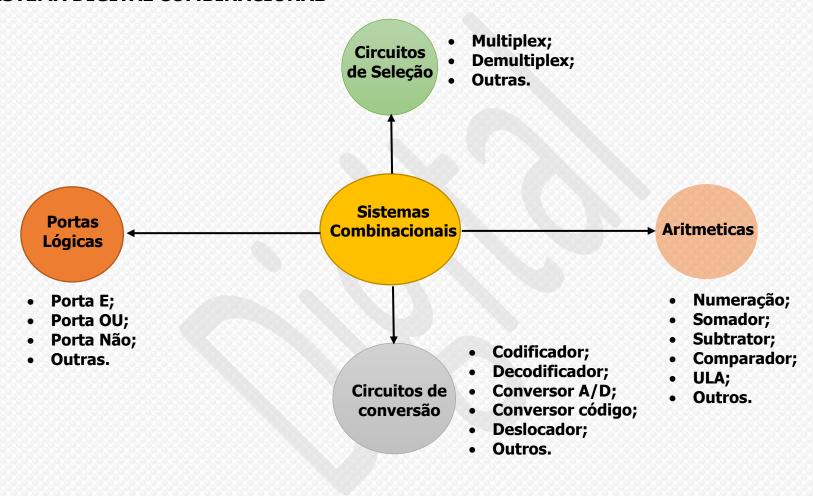
Podemos classificar os sistemas digitais de acordo com o seu comportamento. São eles:

- a. Sistema digital combinacional São circuitos digitais cuja saída depende exclusivamente da combinação das variáveis de entrada. Executam a sua função booleana de acordo com a leitura das suas entradas. Não tem memória do valor passado.
- b. Sistema digital sequencial São circuitos digitais cuja saída depende das variáveis de entradas externas e do estado anterior. Executam a sua função booleana a partir do estado atual de acordo com a leitura das variáveis de entradas externas. O valor atual fica armazenado para junto com a próxima leitura de entrada evoluir para o próximo estado. Os circuitos sequenciais podem ser síncronos ou assíncronos.
- c. Nível de transferência entre registradores São arquiteturas cujo comportamento do circuito é descrito em termos do fluxo de sinais (ou transferência de dados entre os registradores presentes no hardware e as operações lógicas conduzidas com estes sinais). A abstração RTL é usada em linguagens de descrição de hardware como Verilog e VHDL. Este nível de descrição de sistemas digitais permite a construção de máquinas de uso específico e geral. Adequar uma arquitetura do fluxo de dados que permita operações simples ou complexas e alterando o projeto da unidade de controle. É possível construir sistemas digitais completos.

A SEGUIR APRESENTAMOS CADA UM DOS SISTEMAS DIGITAIS COM SEUS SUBSISTEMAS DIGITAIS.

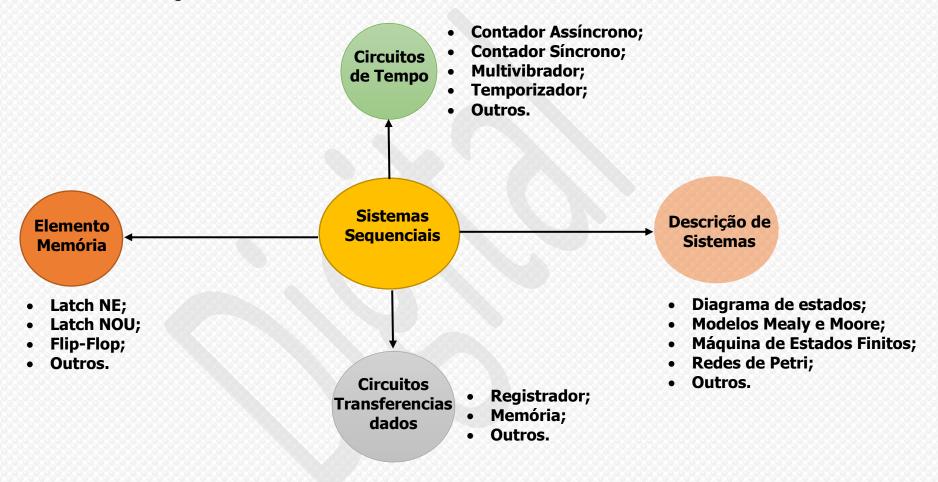


2. SISTEMA DIGITAL COMBINACIONAL



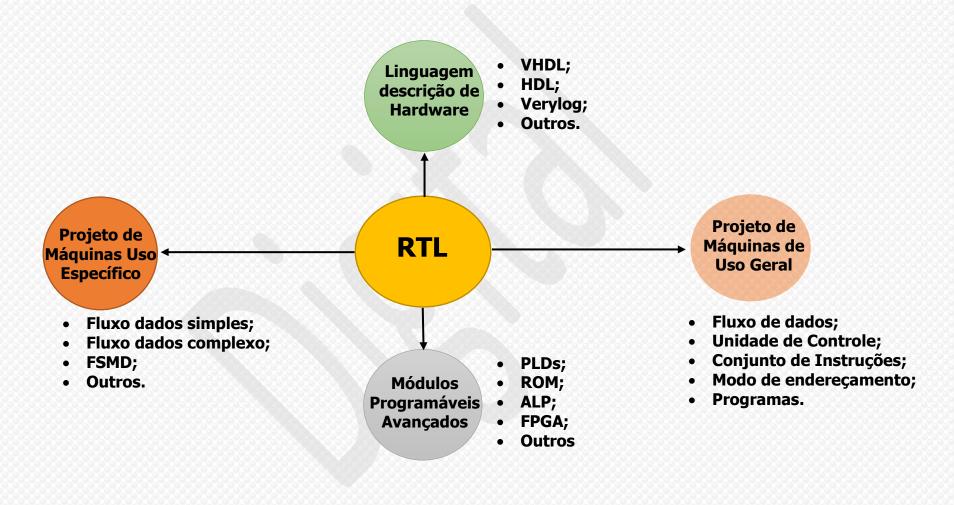


3. SISTEMA DIGITAL SEQUENCIAL





4. SISTEMA DIGITAL POR NÍVEL DE TRANSFERÊNCIA ENTRE REGISTRADOR





1. ÁLGEBRA DE BOOLE.

Boole foi um matemático que viveu e mem 1815 até 1864. Muito considerado na matemática desenvolveu a algebra booleana.

Em 1854, George Boole introduziu o formalismo que até hoje se usa para o tratamento sistemático da lógica, que é a chamada Álgebra Booleana. Em 1938, C. E. Shannon aplicou esta álgebra para mostrar que as propriedades de circuitos elétricos de chaveamento podem ser representadas por uma álgebra Booleana com dois valores.

Diferentemente da álgebra ordinária dos reais, onde as variáveis podem assumir valores no intervalo $(-\infty +\infty)$, as variáveis Booleanas só podem assumir um número finito de valores. Em particular, na álgebra Booleana de dois valores, cada variável pode assumir um dentre dois valores possíveis, os quais podem ser denotados por [F,V] (falso ou verdadeiro), [H,L] (high and low) ou ainda [0,1].

A função booleana pode ser descrita por uma tabela chamada de tabela da verdade, a qual exprime a relação funcional entre as variáveis de entrada. Como estamos falando de variáveis com dois valores possíveis então o número de linhas desta tabela que é uma combinação de condições vai ser múltipla de potência de dois. Como, por exemplo, duas variáveis de entrada vão gerar uma tabela de quatro linhas, pois (2²) combinações possíveis entre valores das variáveis.



- 2. DEFINIÇÕES DE VARIÁVEIS, EXPRESSÕES BOOLEANAS, TABELA DA VERDADE E TEOREMAS BOOLEANOS.
- 2.1 Variável booleana A variável assume somente dois valores 0,1. Na lógica digital a variável é nominada e quando ela é verdadeira, ou assume valor Alto, ou igual a um é reconhecida com o seu próprio nome e quando ela é falsa, ou valor Baixo, ou zero, então sobre o seu nome tem uma barra complementar, indicando o estado lógico.

Exemplo: Uma variável A para A = 1 (verdadeiro ou alto) e quando variável \bar{A} para A = 0 (falso ou baixo).

- 2.2 Expressões booleanas São expressões algébricas numa forma de soma de produtos booleanos das variáveis de entrada ou na forma de um produto de somas booleanas das variáveis de entrada.
- Exemplo: $X = AB + \overline{A}BC + \overline{A}C\overline{Y}$ ou $W = (X + Y).(\overline{Y} + \overline{A}).$
- 2.3 Tabela da verdade Exprime a relação entre as variáveis de entrada e a variável de saída. A tabela possui 2ⁿ linhas combinacionais das variáveis de entrada, onde n é o número delas. A tabela da verdade pode ter uma ou mais saídas.

Exemplo: Construir uma tabela da verdade para 3 variáveis de entrada A,B e C e sendo S e M as variáveis de saída. A saída S é verdadeira sempre que duas ou mais variáveis forem verdadeiras. Caso contrário a variável S assume o valor falso. A saída M é verdadeira se a quantidade de bits iguais a "1" for par. Caso contrário M será falso.

Página 9

O número de linhas da tabela da verdade será = 2^3 = 8 linhas.

Tabela da verdade

Α	В	С	S	M
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

As expressões na forma canônica de uma soma de produtos ficam:

As expressões na forma canônica de um produto de somas ficam:

$$S = (A + B + C)(A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + C).$$

$$M = (A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + C)(\overline{A} + \overline{B} + \overline{C}).$$

2.4 Forma disjuntiva e conjuntiva da expressão – Uma expressão booleana expressa ou na forma disjuntiva (soma de produtos) ou na forma conjuntiva (produto de somas) quando os seus termos mínimos e máximos não são completos de todas as variáveis.

Exemplo: S = AC + ABC -> têm 3 variáveis, mas nem todos os termos são completos. Idem para a forma conjuntiva.



2.5 TEOREMAS BOOLEANOS

Os teoremas da álgebra comum e as propriedades da álgebra são comuns na álgebra booleana. São eles:

Sendo $B = \{a,b,c\}$, então para:

a. Propriedade distributiva b. Propriedade comutativa c. Identidade Soma Produto Complementar
$$a(b+c) = ab + ac$$
 $a+b=b+a$ $a+0=a$ $a.0=0$ $a+a'=1$ $a+(bc) = a+bc$ $ab=ba$ $a+1=1$ (Universo) $a.1=1$ $aa'=0$

Outras Teorema da absorção

$$(a'') = a + a'b = a + b (1) e a' + ab = a' + b (2)$$

TEOREMA DE DEMORGAN

1.
$$(\overline{X+Y+Z}) = \overline{X}.\overline{Y}.\overline{Z}$$

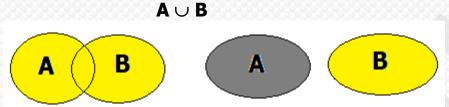
2.
$$\overline{(XYZ)} = \overline{(X + \overline{Y} + \overline{Z})}$$



2.6 Diagrama de Venn

O diagrama de Venn é uma representação gráfica dos conjuntos podemos representar uma função booleana pelo diagrama de Venn.

2.7. União dos conjuntos — Na teoria dos conjuntos a união disjunta de dois ou mais conjuntos é um novo conjunto com todos os elementos pertencentes a todos os conjuntos. Quando A e B forem conjuntos vazios a união A com B será um conjunto vazio. O símbolo que denota a união de conjuntos é representado por U. A união do conjunto A com o conjunto B é escrita da forma A U B. A seguir, pelo diagrama de Venn, segue a representação gráfica da união do conjunto A com o conjunto B.



2.8. Intersecção dos conjuntos - Na teoria dos conjuntos a intersecção conjunta de dois ou mais conjuntos é um novo conjunto com somente os elementos comuns pertencentes a todos os conjuntos. Quando os elementos dos conjuntos não são comuns ou não pertencem aos mesmos conjuntos então a intersecção dos conjuntos A e B é um conjunto vazio, porque nenhum elemento de A pertence a B e vice-versa. O símbolo que denota a intersecção de conjuntos é representado por ∩. A intersecção do conjunto A com o conjunto B é escrita da forma A ∩ B. A seguir, pelo diagrama de Venn, segue a representação gráfica da intersecção do conjunto A com o conjunto B.

$$S = A \cap B$$
 $S = \emptyset$



LISTA 1 – Exercícios referentes as aulas 1 e 2.

- As instruções para essa tarefa são encontradas na lista;
- A lista deve ser resolvida manualmente;
- As dúvidas deverão ser enviadas por email devidamente preenchida e identificada;
- A listas pronta deve ser postada no endereço a seguir;
- O tempo de execução da lista deve ser inserido no espaço reservado.



- 3.1 Introdução Circuito combinacional, portas primitivas e tabela da verdade.
- a) Diagrama de bloco de representação da lógica combinacional.

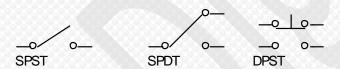


3.2 Chaves

SPST – Um pólo e uma posição. Do tipo interruptor liga-desliga.

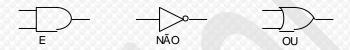
SPDT – Um pólo e duas posições. Do tipo interruptor liga.

DPST – Dois pólos e única posição. Do tipo interruptor normalmente aberto e fechado.





- 3.3 PORTAS LÓGICAS BOOLEANAS BLOCOS CONSTRUTIVOS DOS CIRCUITOS DIGITAIS.
- a) PORTAS PRIMITIVAS E, OU e NÃO.



- b) Álgebra Booleana e sua relação com os circuitos digitais.
- 01. A E B = AB
- 02. A OU B = A + B
- 03. NÃO (A) = \overline{A}
- 04. A OU B E NÃO C = $A + B\overline{C}$
- **05. 1 OU B = 1**(**Universo**)
- 06. A = 1, e B = 0 => $A\overline{B}$
- 07. A = 0 ou $B = 1 = > \overline{A} + B$
- 08. A E NÃO(B) OU B E NÃO(A) => $A\overline{B} + \overline{A}B$
- 09. A E B OU NÃO(A) E NÃO(B) => \overline{AB} + AB
- 10. A E NÃO(B) E NÃO(C) OU B E C => $\overline{ABC} + \overline{BC}$
- 11. NÃO(A) E NÃO(B) E NÃO(C) OU A E B E C \Rightarrow ABC + ABC



3.4 Problema: Construir um sistema de alarme A, capaz de gerar uma saída *verdadeira*, se um sinal gerado pela porta P for verdadeiro *ou* se um sinal gerado pela janela J for verdadeiro. Caso contrário será gerado um sinal A falso. Qual a expressão booleana de A?

Variáveis de entrada e saída.

Entrada = $\{P,J\}$ e Saída = $\{a\}$

Lógica das variáveis

Nível	Porta	Janela	Alarme
Lógico	(P)	(J)	(A)
0	Aberta	Aberta	Ligado
1	Fechada	Fechada	Desligado

Expressão booleana de A = P + J.



3.5 Problema Lógico:

Construir um sistema de alarme A, capaz de gerar um sinal de saída verdadeiro, se ocorrer as condições:

- 1) A temperatura do óleo atingir um valor proibido, indicado por um sinal T verdadeiro; ou
- 2) A pressão do óleo estiver acima do valor limite estabelecido P e a rotação N do motor estiver acima de 2.000 rpm. (P é verdadeiro se a pressão do óleo for abaixo do limite estabelecido e N é verdadeiro para a
- rotação maior do que 2.000 rpm).
 a) Qual a expressão booleana para o alarme A?

Variáveis de entrada e saída

Entrada = $\{T,P,N\}$ e Saída = $\{A\}$.

Lógica das variáveis

Nível Lógico	Temperatura (T)	Pressão (P)	Rotação (N)	Alarme (A)
0	T < proibido	$\overline{P} \ge limite$	$\overline{N} \leq 2.000$	\overline{A} = Desligado
1	T ≥ proibido	P < limite	N > 2.000	A = Ligado

A expressão é: $A = T + \overline{PN}$

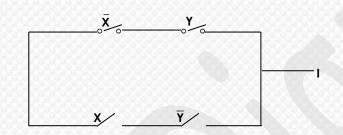


3.6 Problema: Deseja-se comandar a iluminação de uma sala. Dispõe-se de 2 pontos para o comando da iluminação. Cada um dos pontos pode ligar ou desligar a iluminação. De acordo com o item 2.2, escolha as chaves que melhor se adequam para a realização do comando. Qual a expressão para a iluminação I (I verdadeiro quando a iluminação estiver ativa) ? Considerar X e Y as chaves colocadas nos pontos de comando. Fazer um diagrama unifilar das chaves de comando X e Y e a iluminação I. Desenhar o circuito lógico capaz de comandar a iluminação I.

A tabela da verdade para a expressão:

1.
$$I = \overline{XY} + X\overline{Y}$$

X	Y	Ι
0	0	0
0	1	1
1	0	1
1	1	0





			Y	Υ	
X	Y	I		o <u>'</u>	
0	0	1			
0	1	0			
1	0	0	₩,		
1	1	1	x/	Y/	

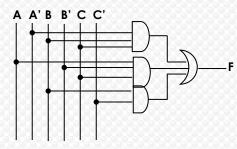


Problema: Calcular o valor da equação booleana: F = (a e b) ou (c e d)

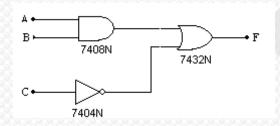
1.
$$a = b = c = d = 1$$
 $F = 1$

2.
$$a = c = d = 1$$
, $b = 0$ $F = 1$

Problema: Desenhar o circuito lógico descrito pela equação booleana $F = \overline{ABC} + \overline{ABC} + \overline{BC}$



Problema: Para o circuito lógico, a seguir escrever a expressão ou equação booleana de F.



$$F = AB + C'$$

3.7 PORTAS PRIMITIVAS E, OU e NÃO

PORTA E

verdadeira se e somente se todas as verdadeira se uma ou mais complemento lógico da variável de variáveis de entrada forem verdadeiras.

F = A.B.C....N, produto lógico das F = A + B + C ++N, soma variáveis de entrada.

Símbolo lógico:



Tabela da verdade

Α	В	F
F/0	F/0	F/0
F/0	V/1	F/0
V/1	F/0	F/0
V/1	V/1	V/1

PORTA OU

variáveis de entradas forem entrada. verdadeiras.

lógica das variáveis de entrada.

Símbolo lógico:



Tabela da verdade

Α	В	F
F/0	F/0	F/0
F/0	V/1	V/1
V/1	F/0	V/1
V/1	V/1	V/1

PORTA NÃO

Definição: A saída da porta E é Definição: A saída da porta OU é Definição: A saída da porta NÃO é

$$F = A$$

Símbolo lógico:

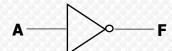


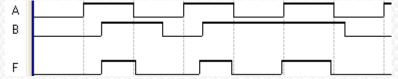
Tabela da verdade

	Α	F
j	0	1
	1	0

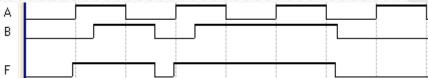


3.4 Formas de Ondas geradas nas portas lógicas.

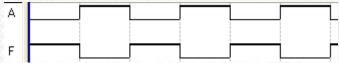
Porta E Entradas A e B.



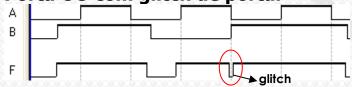
Porta OU Entradas A e B



Porta Não



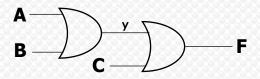
Porta OU com glitch de porta.





2.5 Perturbação na saída devido ao atraso das portas entre a entrada e saída por caminhos diferentes.

Para o circuito a seguir, montar uma tabela da verdade e indicar quais são os estados das entradas onde pode ocorrer glitch. para a condição inicial de entrada A = 0, B = 0 e C = 1.



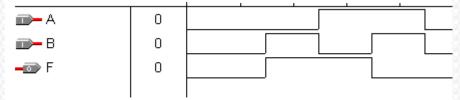
a) Tabela da verdade

A	В	C	F	glitch
0	0	0	0	não
0	0	1	1	Inicial
0	1	0	1	sim
0	1	1	1	não
1	0	0	1	sim
1	0	1	1	não
1	1	0	1	sim
1	1	1	1	não

Lista_01 de exercício.

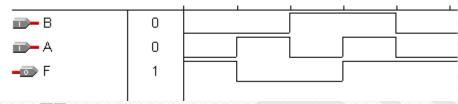
- Resolver a lista;
- Marcar o tempo de resolução;
- Anotar as dúvidas;
- Enviar o trabalho.

Problema: Determinar a equação booleana de F produzida na saída F de um circuito lógico.



$$F = \overline{A}B + A\overline{B}$$

Problema: Determinar a equação booleana de F produzida na saída F de um circuito lógico.



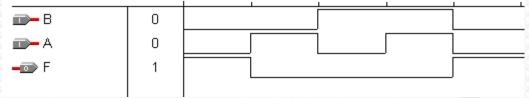
$$F = \overline{AB} + AB$$

Problema: Determinar a equação booleana de F produzida na saída F de um circuito lógico.

- B	0			<u> </u>	
■ A	0		Ĺ		
- ∞ F	1				

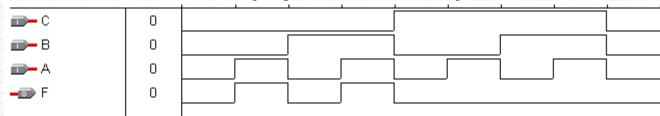
$$F = (\overline{AB})$$

Problema: Determinar a equação booleana de F produzida na saída F de um circuito lógico.



$$F = \overline{(A+B)}$$

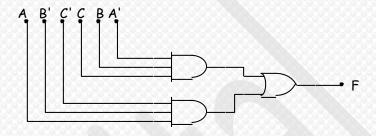
Problema: Determinar a equação booleana de F produzida na saída F de um circuito lógico.



$$F = ABC + ABC$$



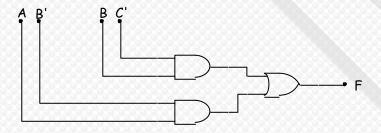
Problema: Produzir um circuito lógico conforme a equação booleana $F = \overline{ABC} + \overline{ABC}$.



Problema: Gerar a expressão dada por F = a E (s OU d) => F = a(s + d)



Problema: Gerar a expressão dada por $F = A E NÃO (B) OU (B E NÃO (C) => F = AB + \overline{CB}$





Problema: Luz de alerta para cinto de segurança.

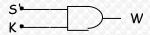
Construir um sistema lógico para automóvel o qual indicará através de uma lâmpada de alerta sempre que o cinto de segurança não estiver engatado e a chave estiver na ignição. Assumir os sensores:

- Sensor S quando ativo indica ao motorista que o cinto está engatado (S = 1); e
- Sensor K indica que a chave está na ignição (K = 1).

A saída w quando ativa (w = 1), indica que a luz de alerta está acesa.

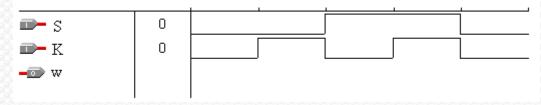
Condição: A luz de alerta deve ser ativa quando o cinto não está engatado e a chave estiver na ignição.

- a) A equação booleana da saída w.
- b) O circuito lógico da expressão booleana w.
- c) De acordo com o diagrama de tempo a seguir preencher a saída w.
- a) A expressão booleana é $W = \overline{S}K$
- b) O circuito lógico:





c) A forma de onda W será:



Problema: Luz de alerta para cinto de segurança com sensor de presença do motorista.

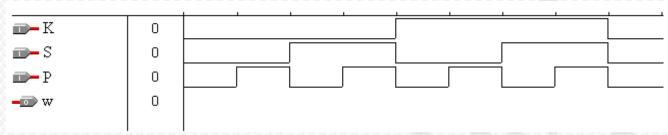
Sensor P quando ativo indica a presença do motorista no assento (P = 1).

Condição: A luz de alerta deve ser ativa conforme condição anterior e quando é detectada a presença do motorista no assento.

- a) A equação booleana da saída w.
- b) O circuito lógico da expressão booleana w.
- c) De acordo com o diagrama de tempo a seguir preencher a saída w.
- a) A expressão booleana de $W = \overline{SKP}$
- b) O circuito lógico:



c) A forma de onda de W é:



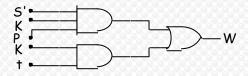
Problema: Luz de alerta para cinto de segurança com acendimento.

Para teste inicial da lâmpada de alerta do veículo, uma entrada t é utilizada e quando ativa (t =1, ocorre sempre que o motorista gira a chave de ignição na partida. Essa entrada t é temporizada e permanece ativa somente por 5 segundos, tempo suficiente para o motorista verificar a operacionalidade da luz de alerta, a qual permanece acesa durante esse tempo.

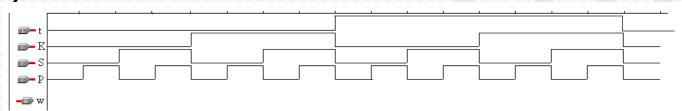
- a) A equação booleana da saída w.
- b) O circuito lógico da expressão booleana w.
- c) De acordo com o diagrama de tempo a seguir preencher a saída w.
- a) A expressão booleana de $W = \overline{SKP} + Kt$



b) O circuito lógico é:



c) A forma de onda de W





PROJETO LÓGICO COMBINACIONAL

5.1 ÁLGEBRA DE BOOLE

Regras de precedência da álgebra booleana, terá mais precedência:

tabela 5.1

Símbolo	Nome	Descrição
()	Parenteses	Avalie primeiro as expressões contidas em parenteses
complemento	NÃO	Avalie da esquerda para a direita.
*	E	Avalie da esquerda para a direita.
+	OU	Avalie da esquerda para a direita.

Exemplo: Avaliando as equações booleanas usando regras de precedência. Calcule F para valores a = 1, b = 0, c = 1, d = 1.

1. F = a * b + c	Precedência: Primeiro * e segundo +.
2. $F = \overline{ab} + c$	Precedência: Primeiro complemento de a e segundo * e terceiro +.
3. $F = a\overline{b}$	Precedência: Primeiro complemento de b e segundo *.
4. $F = \overline{ac}$	Precedência: Primeiro * e segundo complemento de ac.
5. $F = (a + \overline{b}) *c + \overline{d}$	Precedência: Primeiro complemento de b e segundo + e terceiro * e quarto complemento de d e quinto +.



5.3 TERMINOLOGIA.

- 1. Variável Nome dado normalmente letras maiúsculas de tamanho de um bit, o qual serve para representar uma grandeza física e pode assumir valores variáveis no tempo.
- 2. Literal É uma seqüência de caracteres, números ou símbolos que forme um literal.
- 3. Termo produto ou mintermo É um termo que pode ter duas ou mais variáveis verdadeiras ou não que representam um produto lógico entre elas.
- 4. Termo soma ou maxtermo É um termo que pode ter duas ou mais variáveis verdadeiras ou não que representam a soma lógica entre elas.
- 5. Soma de produtos É uma expressão algébrica que contém uma soma de um ou mais produtos lógicos, onde os termos produtos são conforme definição acima.
- 6. Produto de somas É uma expressão algébrica que contém o produto de uma ou mais somas lógicas, onde os termos somas são conforme definição acima.



5.4 Teoremas Booleanos.

$$01. X.0 = 0$$

02.
$$X.1 = X$$

03.
$$X.X = X$$

04.
$$X.\overline{X} = 0$$

05.
$$X+0=X$$

06.
$$X+1=1$$

07.
$$X+X=X$$

08.
$$X + X = 1$$

09.
$$X+Y=Y+X$$

10.
$$X + XY = X$$

11.
$$X \cdot (Y \cdot Z) = XYZ$$

12.
$$X \cdot (Y+Z) = XY + XZ$$

13.
$$X + (Y + Z) = X + Y + Z$$

14.
$$(X + Y).(Y + Z) = XY + XZ + Y + YZ = Y(X + 1 + Z) + XZ = Y + XZ$$

15.
$$X + \overline{X}Y = X + Y$$

16.
$$\overline{X} + XY = \overline{X} + Y$$

17. TEOREMA DE DEMORGAN

a)
$$(\overline{X+Y+Z}) = \overline{X}.\overline{Y}.\overline{Z}$$

b)
$$(\overline{XYZ}) = \overline{X} + \overline{Y} + \overline{Z}$$



Usando os teoremas booleanos realizar a simplificação algébrica.

$$F = ABC + ABC + \overline{ABC} + \overline{ABC} + \overline{ABC}$$

a) Usando o teorema da absorção e agrupando os termos 1 e 3 + os termos 2 e 4, fica:

$$F = \overline{BC}(A + \overline{A}) + AB(C + \overline{C}) + \overline{ABC} = \overline{BC} + AB + \overline{ABC} = \overline{BC} + B(A + \overline{AC}) = \overline{BC} + B(A + \overline{C}).$$

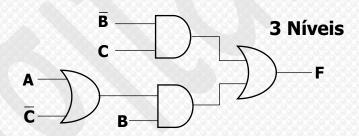
b) Adicionando um ou mais termos para a simplificação.

$$F = ABC + ABC + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$$
 (Termo adicionado).

$$F = \overline{BC}(A + \overline{A}) + AB(C + \overline{C}) + B\overline{C}(A + \overline{A}) = \overline{BC} + AB + B\overline{C}$$

Qual a diferença na lógica quando se implementa $F = \overline{BC} + AB + B\overline{C}$ ou $F = \overline{BC} + B(A + \overline{C})$.





Custo x Benefício = 9 x 2 = 18 transistores Lógica com dois atrasos Custo x benefício = 8 x 2 = 16 transistores Lógica com três atrasos



Exemplo: Deseja-se projetar um sistema para controlar uma porta de correr automática, como as que podem ser encontradas nas entradas de algumas lojas. Em nosso sistema, uma entrada p, indica se um sensor detectou a presença de uma pessoa na frente da porta (p = 1 significa que uma pessoa foi detectada). Uma entrada h, indica se a porta deve ser aberta manualmente (h = 1) independentemente da deteção ou não da presença de uma pessoa. Uma entrada c, indica que a porta deve permanecer fechada (como quando a a loja não está aberta para funcionamento -c = 1 significa que a porta deve permanecer fechada. Normalmente, estes dois últimos casos seriam acionados por um gerente autorizado. Uma saída f abre a porta quando f é 1. Queremos abrir a porta quando ela está sendo acionada manualmente para ser mantida aberta, ou quando a porta não está sendo mantida aberta manualmente, mas uma pessoa está sendo detectada. Entretanto, em ambos os casos, somente abriremos a porta se ela não estiver sendo acionada para permanecer fechada.

Variáveis de entrada: {p,h,c}, variável de saída: {f}

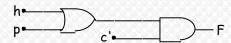
Lógica das variáveis

Nível Lógico	Presença (p)	Permissão (c)	Manual (h)	Porta (f)
0	p = ausência	c = sem permissão	h = automática	$\bar{f} = fechada$
1	p = presença	c = permissão	h = manual	f = aberta

A expressão booleana será: $f = (h + p)\bar{c}$



b) O circuito lógico de F



Exemplo: Aplicando-se o T. DeMorgan a uma luz de sinalização de um lavatório de avião. As aeronaves normalmente têm um sinal luminoso que indica se um lavatório (banheiro) está desocupado. Suponha que um avião tenha três lavatórios. Cada lavatório tem um sensor que produz '1' em sua saída quando a porta do lavatório está trancada e "0" em caso contrário. Nosso circuito terá três entradas a,b, e c, vindas dos sensores. Se qualquer uma das portas estiver destrancada (podendo ser uma, duas ou todas as três portas destrancadas) poderíamos acender o sinal de "Desocupado" fazendo a saída do circuito S ir para "1".

a) A expressão booleana de S, realizada somente com portas OU e NÃO.

Resposta: $S = \bar{a} + \bar{b} + \bar{c}$



PROJETO LÓGICO COMBINACIONAL.

6.1 Representação de funções booleanas.

Função booleana – Uma função booleana é uma relação entre variáveis. Essa função pode ser um produto, soma, complementação, exclusividade entre outras.

6.2 UNIVERSALIDADE DAS PORTAS LÓGICAS

Os três circuitos lógicos primitivos: NÃO (Inversor), E (produto) e OU (soma) podem ser gerados com:

a. PORTAS NOU

a.1) Inversor

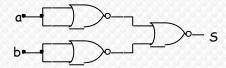
$$S = \overline{a} = (\overline{a} + \overline{a}) = (\overline{a} + \overline{0})$$

$$a = \overline{a} = \overline{$$



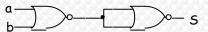
a.2) Porta E

$$S = ab = (a'+b')'$$



a.3) Porta OU

$$S = a + b = [(a + b)']'$$



b - PORTAS NE

b.1) Inversor

$$S = a' = (a \times a)' = (a \times 1)'$$



b.2) Porta E

b.3) Porta OU

6.3 REPRESENTAÇÃO PADRÃO E FORMA CANÔNICA

A tabela da verdade é a *representação padrão* de uma expressão algébrica a qual apresenta na saída o valor booleano para cada uma das combinações das variáveis de entrada. Pode ter n variáveis de entrada e m variáveis de saída e o número de combinações possíveis é igual a 2ⁿ.

Quando duas tabelas da verdade são idênticas as expressões booleanas de saída são equivalentes.



a) Termo mínimo

Definição: O termo mínimo é dado pelos termos produto de todas as variáveis de entrada da expressão booleana.

Exemplo: Dado F = ABC' + ABC + A'C + A'B', a expressão booleana é uma soma de produtos e possui quatro termos.

ABC' e ABC são mínimos termos e A'C e A'B' são produtos, mas não de termos mínimos.

b) Termo máximo

Definição: O termo máximo é dado pelos termos soma de todas as variáveis de entrada da expressão booleana.

Exemplo: Dado F = (A + B' + C). (A + B + C). (B + C). (A' + C'), a expressão booleana é um produto de somas e possui quatro termos.

Os termos (A + B' + C) e (A + B + C) são máximos termos e (B + C) e (A' + C') são somas, mas não termos máximos.

Forma canônica – É uma representação da expressão booleana e pode ser representada de duas formas.

- 1. Como uma soma de produtos, todos de mínimos termos;
- 2. Como um produto de somas, todas de máximos termos.



6,4 TRANSFORMAÇÕES DE EXPRESSÕES BOOLEANAS

a) SOMA DE PRODUTOS

 $F = \overline{ABC} + AC + \overline{ABC} + \overline{ABC}$

A expressão acima transformar a expressão booleana para que possa ser implementada com portas lógicas NE de 02 entradas somente. Pede-se:

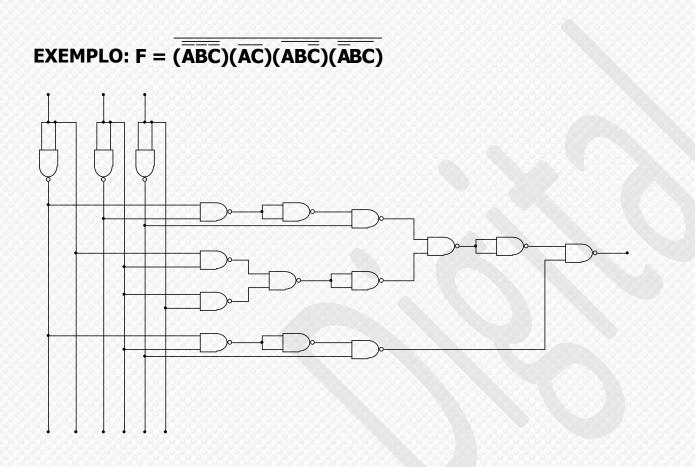
- a) A expressão na forma de produto lógico.
- b) O circuito implementado com portas somente NE.

Aplicando-se o Teorema de Demorgan na expressão F, temos:

 $F = (\overline{ABC})(\overline{AC})(\overline{ABC})(\overline{ABC})$

O circuito lógico implementado com portas NE de 02 entradas.

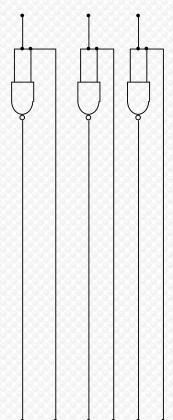






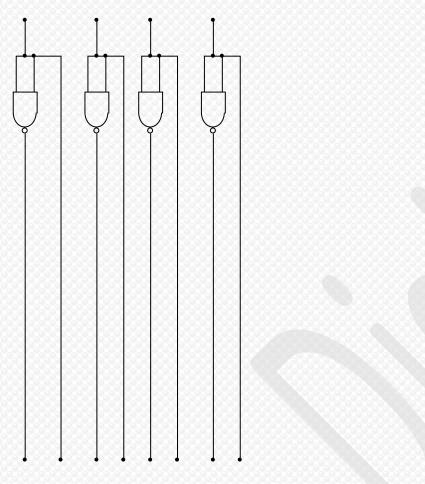
Exercício: $F = \overline{AB} + BC + A\overline{C} = (\overline{\overline{AB}})(\overline{BC})(\overline{AC})$





Exemplo: $F = \overline{ABC} + \overline{BCD} + \overline{ACD} + \overline{ABD} = [(\overline{ABC})(\overline{BCD})(\overline{ACD})(\overline{ABD})]$

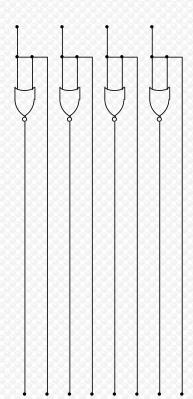




ii - PRODUTO DE SOMAS



Exemplo: $F = (A+B+C).(B+C).(A+\overline{C}+D) = (\overline{A+B+C})+(\overline{B+C})+(\overline{A+\overline{C}+D})$



7. PROJETO LÓGICO COMBINACIONAL.

Passo	Descrição
1. Captura a função	Cria uma tabela da verdade a qual descreve o comportamento desejado da lógica combinacional;
2. Conversão para equações	Retirar da tabela da verdade a equação booleana para cada uma das saídas, pode ser na forma conjuntiva ou disjuntiva.
3. Implementação do circuito	Para cada saída, criar um circuito lógico que corresponda a expressão booleana dessa saída.

Exemplo: O exemplo da porta de correr automática.

Passo 1: Tabela da verdade

asso 1: Tabela da Veldade

р	c	h	f
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Passo 2: Conversão para equações.

$$f = pch + pch + pch = c(p+h) = cp+ch$$

Passo 3: Circuito Lógico.

$$f = \overline{\overline{(\overline{\varphi})(\overline{dh})}}$$



- 7.1 PORTAS LÓGICAS DERIVADAS Portas lógicas derivadas das portas primitivas.
- a) Porta NOU A saída é verdadeira se e somente se todas as entradas forem falsas. Def.: A função é verdadeira quando uma ou mais variáveis de entrada forem verdadeiras.
- a.1) Para duas variáveis booleanas. A, B e F.

Α	В	F	Símbolo Lógico.
0		1	A —— \(\sigma\)
0		0)) > F
1	0	0	B—
1	1	0	

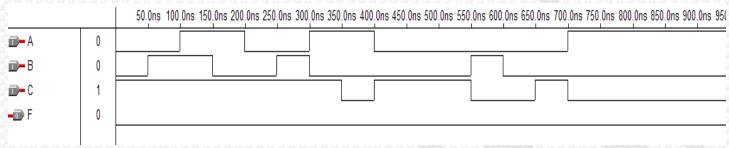
$$F = (\overline{A + B + C + ... + N})$$

a.2) Para três variáveis booleanas

ă				
	A	В	C	F
8	0	0	0	0
	0	0	1	1
	0	1	0	1
	0	1	1	1
8	1	0	0	1
	1	0	1	1
	1	1	0	1
9	1	1	1	1
		46		



a.3) Formas de ondas geradas na saída da porta NOU de 03 entradas, 01 saída A,B,C e F.



a.4) PORTA NE (NAND).

Def.: A função é falsa se todas as variáveis de entrada forem verdadeiras.

Tabela da verdade porta NE de 02 entradas A e B.

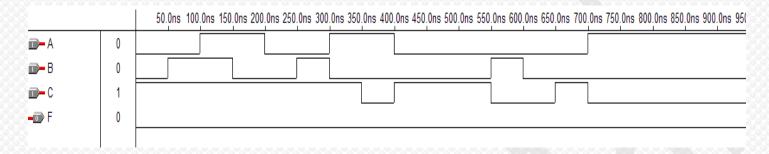
Α	В	F
0	0	1
0	1	1
1	0	1
1	1	0

$$F = \overline{AB}$$

Símbolo Lógico.



a.5) Formas de ondas geradas na saída da porta NE de 03 entradas, 01 saída A,B,C e F.



a.6) PORTA XOR – OU Exclusivo (XOR) - Diferentes

Def.: A função é verdadeira se as variáveis de entrada forem diferentes.

Tabela da verdade.

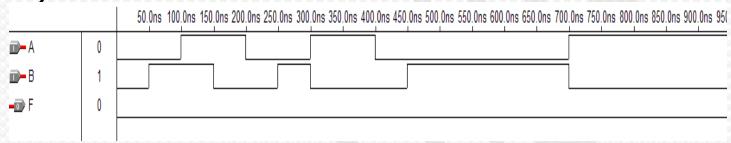
Α	В	F
0	0	0
0	1	1
1	0	1
1	1	0

Símbolo Lógico.

$$b$$
 F

$$F = \overline{A}B + A\overline{B}$$

a.7) Formas de ondas





a.8) PORTA XNOR – OU Inclusivo - Coincidência (XNOR)

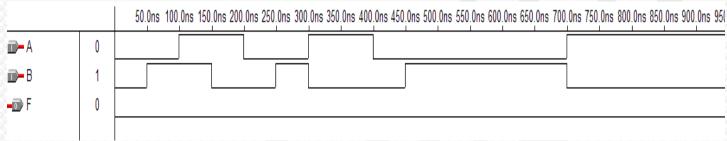
Def.: A função é verdadeira se as variáveis de entrada forem iguais.

Tabela da verdade.

A	В	F
0	0	1
0	1	0
1	0	0
1	1	1

Símbolo Lógico.

$$F = AB + \overline{AB}$$



e) Algumas relações.

1)
$$F = F = \overline{X} \oplus \overline{Y} = X \oplus Y$$

4)
$$F = X \oplus 0 = X$$

7)
$$F = (\overline{X \oplus 1}) = X$$

10)
$$F = (X' \oplus 0)' = X$$

2)
$$F = (\overline{X} \oplus \overline{Y}) = (\overline{X} \oplus \overline{Y})$$

5)
$$F = X \oplus 1 = \overline{X}$$

8)
$$F = \overline{X} \oplus 1 = X$$

3)
$$F = (\overline{X} \oplus \overline{Y}) \oplus (\overline{X} \oplus \overline{Y}) = 0$$

6)
$$F = (\overline{X \oplus 0}) = \overline{X}$$

9)
$$F = \overline{X} \oplus 0 = \overline{X}$$

7.2 PARIDADE – Estudo da paridade – Par e Impar.

Def.: É definida como a quantidade de bits iguais a "1" de um cordão de bits e pode ser par ou impar.

- a) PARIDADE PAR A paridade par P é falsa se a quantidade de bits iguais a "1" for par.
- b) PARIDADE IMPAR A paridade impar P é falsa se a quantidade de bits iguais a "1" for impar.
- c) Expressão booleana para funções de paridade para n variáveis de entrada.
- a. Paridade par

 $P = (A \oplus B \oplus C \oplus .D. \oplusN).$

b. Paridade impar

 $P = (\overline{A \oplus B \oplus C \oplus D... \oplus N})$

Exemplo: Considere F paridade par para 03 variáveis de entrada A,B e C. Pede-se :

- a) Tabela da verdade
- b) Expressão booleana de F.
- c) Formas de ondas de F.
- d) Circuito lógico de F usando somente portas EX.



a) Tabela da verdade.

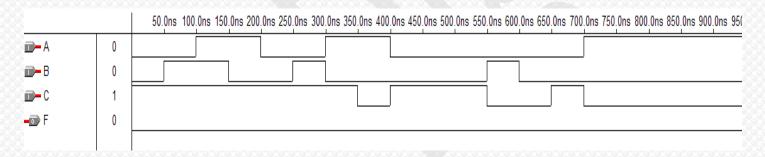
Α	В	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

b)
$$F = \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$$

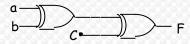
 $F = \overline{A(BC + BC)} + \overline{A(BC + BC)}$
 $F = \overline{A(B \oplus C)} + \overline{A(B \oplus C)}$

Fazendo X = B
$$\oplus$$
C e \overline{X} = ($\overline{B} \oplus \overline{C}$), temos:
F = $\overline{A}X + A\overline{X}$ = A \oplus X = A \oplus B \oplus C.

c) Formas de ondas geradas na saída F paridade par para 03 entradas.



d) Circuito lógico.



Exemplo: Considere F paridade impar para 03 variáveis de entrada A,B e C. Pede-se :

- a) Tabela da verdade
- b) Expressão booleana de F.
- c) Formas de ondas de F.
- d) Circuito lógico de F usando somente portas EX.
- a) Tabela da verdade.

Α	В	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

b)
$$F = \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}$$

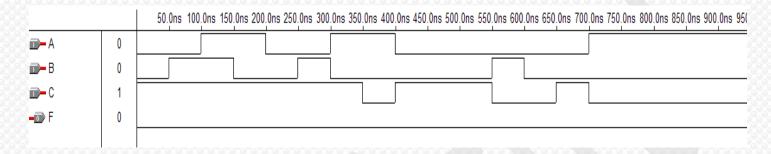
$$F = A(\overline{B}C + B\overline{C}) + \overline{A}(BC + \overline{B}\overline{C})$$

Fazendo
$$X = B \oplus C \in \overline{X} = (\overline{B \oplus C})$$
, temos:

$$F = AX + \overline{AX} = (\overline{A \oplus X}) e F = (\overline{A \oplus B \oplus C})$$



c) Formas de ondas geradas na saída F paridade impar para 03 entradas.



d) Circuito lógico.





- 8. Otimizações e Tradeoffs Custo x benefício
- 8.1 Definição de circuitos melhores: São circuitos menores, mais rápidos e que consomem menos energia.

Otimização: É a melhoria de critérios escolhidos que podem ser: tamanho do circuito, atraso do circuito, número de transistores empregados, etc...

8.2 Tradeoff: É a melhoria de um dos critérios de otimizações às custas de um outro critério. Exemplo redução do tamanho e aumento do tempo de atraso.

Exemplo: O circuito a seguir diminuiu o atraso das variáveis A e B às custas do aumento de uma entrada na porta OU.



8.3 Otimização: Simplificação algébrica.

Condições Irrelevantes (don't care)

Certos problemas, muitas vezes impõem condições de entradas proibidas e as quais nunca deverão ocorrer por força de um impedimento físico. Para estas situações não importa o valor da saída "0 ou 1".

Na tabela da verdade a saída é preenchida com X. Devemos analisar sempre que possível esta situação se realmente não implica num problema real.



Por exemplo, se um sensor de nível queimar impondo um nível ativo proibido, isso pode gerar uma situação não prevista, assim o engenheiro deve analisar esta situação não prevista e decidir a escolha do irrelevante.

	4	0	1
В	0	1	X
	1	1	0

8.4 Um método visual para a otimização do tamanho de uma lógica de dois níveis — Mapa de Karnaugh. Conceito: O mapa de Karnaugh é usado para simplificação e minimização de expressões booleanas. A expressão booleana pode vir representada na forma canônica ou não. É uma forma de representação gráfica da tabela da verdade. Os termos da expressão booleana são inseridos nesse mapa que pode receber mínimos termos ou máximos termos da expressão booleana. As linhas e colunas são dispostas no mapa seguindo um princípio da adjacência, ou mudança de apenas uma variável de modo a permitir a combinação de termos, a fim de eliminar uma ou mais variáveis, dependendo do tamanho da combinação. Essa combinação deve sempre ser máxima podendo ser 1,2,4,8... termos adjacentes. Um termo adjacente pode pertencer a várias combinações.

Exemplo: Mapa K de 02 variáveis.

Var.	Ā	Α
B'	AB	AB
В	ĀB	AB

As adjacências são: \overline{AB} com \overline{AB} e com \overline{AB} .

Outras: AB com \overline{AB} e com $A\overline{B}$.

 \overline{AB} com \overline{AB} e com \overline{AB} .

AB com AB e com AB.



Cada mínimo termo do mapa K, pode ser representado por um número: $\overline{AB} = 0$, $\overline{AB} = 1$, $A\overline{B} = 2$, AB = 3. Definição: on-set — É o conjunto dos termos mínimos que definem quando o valor da função é 1. O on-set da função a seguir é:

X	y	00	01	11	10
Z	0	0	0		0
	1	1	0		0

on-set =
$$[xyz + xyz + xyz] = [1,6,7]$$

off-set = $[xyz + xyz + xyz + xyz + xyz] = [0.2.3.4.5].$

Definição: Implicante — É um termo produto que pode ou não ser mínimo termo, mas que será um somente se o valor da função é unitária.

Exemplo: O on-set da função é $\overline{xyz} + xy\overline{z} + xyz$ tem quatro implicantes, sendo xy o quarto implicante, pois são quatro círculos.

Definição: Cobertura – O conjunto de implicantes que cobre o on-set da função.

No exemplo anterior uma cobertura da função é: $\overline{xyz} + xy\overline{z} + xyz$; uma outra é: $\overline{xyz} + xy\overline{z} + xyz$; uma outra é: $\overline{xyz} + xy\overline{z} + xyz + xyz$.

Definição: Expansão — Quando há a remoção de uma variável, que é o mesmo que expandir o tamanho do circulo em um mapa K.



No exemplo anterior a expansão do termo xyz para xy(eliminação da variável z) resulta num implicante da função. A expansão do termo xyz para xz(eliminação de y) não resulta em um implicante, pois xz não cobre o termo xyz, assim como a expansão do termo xyz para yz(eliminação de x) não resulta em um implicante, pois yz não x'y'z.

Definição: Implicante primo — É um implicante que cobre mínimo termo e está expandido ao máximo.

Exemplo: Na função anterior existem dois implicantes primos xyz + xy.

Definição: Implicante primo essencial — É um implicante primo que cobre um dado mínimo termo pertencente ao on-set da função. Um implicante não essencial é aquele implicante primo cujos mínimos termos cobertos são também cobertos por um ou mais implicantes primos diferentes.

yz	00	01	11	10
x 0	$oldsymbol{eta}$		0	0
1	0	1	1	1

on-set = \overline{xy} + \overline{yz} + xz + xy = [0,1,5,6,7], 4 implicantes primos sendo primos implicantes essenciais: \overline{xy} e xy, mas não implicantes primos essenciais os termos \overline{yz} e xz, pois são cobertos pelos outros 2 primos implicantes.



Tabela 8.1 de Otimização

Passo	Descrição
1. Determinar implicantes primos.	Para cada mínimo termo do on-set da função, expanda esse mínimo termo ao máximo (elimine variáveis do termo) de modo que o termo ainda cubra mintermos do on-set da função. Repetir para todos os mintermos. Se houver termos irrelevantes, usa-los para expandir mintermos ao máximo, obtendo primos implicantes.
	Encontrar todos os mintermos cobertos por apenas um implicante primo (implicante primo essencial). Acrescentar esses implicantes primos à cobertura e marcar os mintermos cobertos por esses implicantes como já estando cobertos.
3. Cobrir os demais mintermos com implicantes primos não essenciais.	Cobrir os demais mintermos usando o número mínimo de implicantes primos restantes.



Exemplo: Otimização do tamanho de uma lógica de dois níveis por meio da abordagem da tabela 8.1 e ilustrada com um mapa K. $\overline{\mathbf{x}}$

Passo 1: Determinar todos os implicantes primos e desenhar todos os círculos possíveis e máximos.

yz	00	01	1 1	10
x 0	1		\supset	0
1	1)	0	0	1
yz	ху		(XZ)

Passo 2: Buscar todos os implicantes primos essenciais à cobertura da função.

yz	00	01	11	10
x 0	1 (1	1	0
1		0	0 (1

Passo 3: Cobrir os implicantes primos restantes com o menor número de implicantes primos.

yz	00	01	11	10
x 0_/	1	1	1	0
1	1)	0	0 <	1

on-set = xz + xz + yz



8.5 MAPA DE KARNAUGH PARA 2 VARIÁVEIS:

$$1.a) F = AB$$

1) Forma disjuntiva

A	0	1	
B 0	0	0	F = AB
1	0	1	

2.a)
$$F = \overline{AB}$$

1) Forma disjuntiva

A	0	1	
B 0	0	0	F = AB
1	1	0	

3.a)
$$F = A$$

1) Forma disjuntiva

Α	0	1	F = A
B 0	0	1	7
1	0	1	

1.b)
$$\overline{F} = (\overline{A} + \overline{B})$$

2) Forma conjuntiva

Α	0	1
B 0	0	0
1	0	1

$$F' = \overline{F} = (\overline{A} + \overline{B}) = > F = \overline{F} = (\overline{\overline{A} + \overline{B}}) = AB$$

2.b)
$$\overline{F} = (A + \overline{B})$$

2) Forma conjuntiva

	A	0	1
	B 0	0	0
3	1	1	9

$$\overline{F} = (A + \overline{B}) = > F = (\overline{A + \overline{B}}) = \overline{AB}$$

3.b)
$$F' = A'$$

2) Forma conjuntiva

A	0	1
B 0	0	1
1	0	1

$$\overline{F} = \overline{A} = > F = \overline{A} = A$$



4.a)
$$F = B$$

1) Forma disjuntiva

A	0	1
B 0	0	0
1 '	1	1

5.a)
$$F = A + \overline{B}$$

1) Forma disjuntiva

A	0	1
B 0		1
1	0	1

$$F = A + \overline{B}$$

4.b) $\overline{F} = \overline{B}$

2) Forma conjuntiva

	A		0	0	
8	В	0	0	0	
8		1	1	1	

$$F' = B' => F = B'' = B$$

5.b)
$$\overline{F} = \overline{AB} = > F = A + \overline{B}$$

2) Forma conjuntiva

A	0	0	
B 0	1	1	
1	0	1	

$$\overline{F} = \overline{AB} = F = \overline{AB} = F = A + \overline{B}$$

8.6 MAPA DE KARNAUGH PARA 03 VARIÁVEIS

6.a)
$$F = \overline{AC} + A\overline{C} + AB$$

AB	00	01	11	10
C 0	0	0		
1		A	1	0

$$F = \overline{AC} + A\overline{C} + AB$$

6.b)
$$\overline{F} = \overline{AC} + A\overline{BC}$$

AB	00	01	11	10
CO	0	6	1	1
1	1	1	1	0

$$F = (A + C) \cdot (\overline{A} + B + \overline{C})$$



AB	00	01	11	10	
C 0	1	0	1	0	
1	1	0	1	0	

Š	AB C 0	00	01	11	10	F=
Š	C 0	1	0	0	1	
Š	1	1	0	0	1/	

10	11	01	00	AB
0	1	1	0	C 0
0	1	1	0	1

AB	00	01	11	10
C 0	1	0	0	Θ
1	1		0	0

7.b)
$$F' =$$

8	AB	00	01	11	10	E' -
8	C 0	1	0	1	0	
8	1	1	0	1	0	

AB	00	01	11	10	F'=
C 0	1	0	0	1	
1	1	9	0	1	

4	AB	00	01	11	10	_,
	CO	0	1	1	0	
8	1	0	1	1	0	

AB	00	01	11	10
CO	1	9	0	1
1	1	1	0	0



AB	00	01	11	10
C 0	1	0		(0)
1	0	(\mathbf{f})	0	

AB	00	01	11	10
C 0	\bigcirc	(\mathbf{f})	0	\bigcirc
1		0		0

8.7 MAPA DE KARNAUGH PARA 04 VARIÁVEIS

AB	00	01	11	10
CD 00	1	9	0	1
01	0	1	1	0
11	0	0	6	0
10	1	\nearrow		Θ

AB	00	01	11	10
CD 00	9	1	1	0
01		0	0	1
11	0	0	0	0
10	0	1	1	0





AB	00	01	11	10
CD 00	0	1	0	0
01	0	1		1
11	1		1	0
10	0	6	1	0

5.) F =

AB	00	01	11	10
CD 00	0			
01			1	
11		1		1
10	1	9		0

7.) F = A'C'D'+A'BD'+ABCD+AB'D'

A	В	00	01	11	10
CD	00	1	*	1	1
	01	1	1	1	1
	11	1	1	0	1
	10	1	1	0	1/

4.) F =

AB	00	01	11	10
CD 00	1	0		1
01	1	0	0	0
_ 11	0	6	0	1
10	1	1	0	1

6.) F =

AB	00	01	11	10
CD 00			0	1
01	0	0	0	6
11		0	(1)	9
10	0	1	0	1

8.) F' = (C+D')(A'+B'+D)(A+D')(B+D')(A+B+C')

AB	00	01	11	10
CD 00	1	0	9	1
01	1)	1	1	1
11	0	1	1	0
10	0	1	1	0





AB		00	01	11	10
CD	00	0		0	1
	01		9	1	
	11	6	1	0	1
	10		\bigcirc		0

11.) F =

A	В	00	01	11	10
CD	00	9	6	1	1
	01	\bigcup		0	0
	11	0			1
	10	$oldsymbol{eta}$		Ø	0

AB	00	01	11	10
CD 00	Θ		0	
01	6	0	0	
11	0			
10	0	1	1	0

AB	00	01	11	10
CD 00		0	\bigcirc 1)	0
01	0	1	0	(1)
11	1	0	1	0
10	0	1	0	1

AB	00	01	11	10
CD 00			0	0
01	0	0		1
11	1	1	0	0
10	0	0		1

A	В	00	01	11	10
CD	00	0	0		0
	01	\bigcup	1		
	11	\Box	1	0	0
	10	1	0	0	1

Página 67







AB	00	01	11	10
CD 00	0	7	1	0
01		1	1	
11	0	0	0	0
10	0	1	1	0

AB	00	01	11	10
CD 00	1	9	$\langle \mathbf{o} \rangle$	0
01	0	1	0	1
11	0	1	0	1
10	1	0	$\triangleright 0$	0

AB	00	01	11	10
CD 00	1	0	6	
01	0	0	0	0
11	1	0	0	1
10		9	0	(

AB	00	01	11	10
CD 00	1	9	0/	
01	0) (
11	1	0	0	
10	1	\(0	0	



19.) F =

AB	00	01	11	10
CD 00	0	7	1	
01	1	0	0	
11	0	1	1	0
10	0	X	1	9

20.) F =

AB	00	01	11	10
CD 00		9	0	(\mathbf{f})
01			1	0
11		0	0	
10	0	1	1	0

Exercícios Recomendados:

- 9. Otimizações e Tradeoffs Custo x Benefício
- 9.1 Minimização do tamanho de uma lógica de dois níveis com termos irrelevantes no mapa Karnaugh.

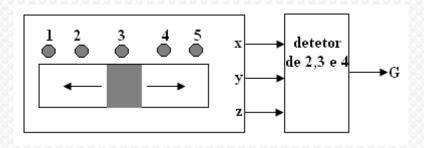
Minimizar o mapa K a seguir.

ab	00	01	11	10
c 0	0	0	X	1
1	0	(I	X	1

$$F = ab + bc$$

Exemplo: Combinações de entrada irrelevante em exemplo de chave deslizante.

Considere uma chave deslizante, mostrada a seguir, as quais tem cinco posições, com três saídas codificadas em binário sendo x,y e z as quais indicam a posição em binário. As variáveis xyz podem assumir os valores em binário {001,010,011,100,101}. Os outros valores em binário de xyz, não são possíveis, são eles {000,110 e 111}. Deseja-se construir uma lógica combinacional com as entradas xyz, a qual fornecerá uma saída ALTO se a chave estiver nas posições 2,3 ou 4, correspondendo aos valores binários 010,011 e 100 de xyz.



Pede-se:

- a) A tabela da verdade do detetor de 2,3 e 4.
- b) A expressão booleana da saída G na forma canônica.
- c) Minimização da expressão boolena de G na forma disjuntiva.
- d) Minimização da expressão booleana de G na forma conjuntiva.
- e) A expressão de G em termos de portas NE.
- f) A expressão de G em termos de portas NOU.

a) A tabela da verdade

X	у	Z	G
0	0	0	X
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	X
1	1	1	X

c) Minimização da expressão booleana de G, na forma disjuntiva.

ху	00	01	11	10	$G = \overline{Z} + Y$
z 0	X	1	X		
1	0	J	X	0	

d) Minimização da expressão booleana de G, na forma conjuntiva.

$$G = \overline{Z} + Y$$

e) A expressão de G em termos de portas NE.

$$\mathbf{G}=\overline{\overline{\mathbf{Y}}\mathbf{Z}}$$

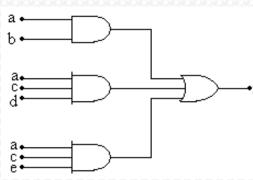
f) A expressão de G em termos de portas NOU.

$$G = (\overline{\overline{Z} + Y})$$

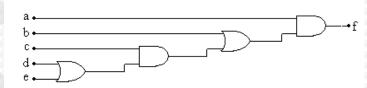
9.2 Otimização da lógica de múltiplos níveis – tradeoffs de desempenho e tamanho. Vamos sacrificar a velocidade em razão da diminuição do tamanho da lógica necessária que poderá ser de 3, 4 ou mais níveis.

Exemplo: f = ab + acd + ace

Exemplo:
$$t = ab + aca + ace$$
1.



$$f = ab + ac(d + e) = a[b + c(d + e)].$$



Obs.: Dois transistores por entrada e um atraso por porta lógica.

Custo x benefício

- 1. 11 entradas x 2 = 22 trans.
- 2. 08 entradas x 2 = 16 trans.

Velocidade

- 1. Dois atrasos
- 2. .Quatro atrasos

EXERCÍCIOS DE MINIMIZAÇÃO - FORMAS DISJUNTIVA E CONJUNTIVA.

Exemplo: Dada a equação booleana a seguir, pede-se:

- a) Tabela da verdade.
- b) Simplificação por Karnaugh na forma disjuntiva.
- c) Simplificação por Karnaugh na forma conjuntiva.
- d) Implementação com portas NE.
- e) Implementação com portas NOU.

$$F = \overline{ABD} + \overline{BD} + \overline{BC} + \overline{AC} + \overline{ABD} + \overline{BCD}$$

Mapa de Karnaugh

AB	00	01	11	10
CD 00		0	1	
01	0	1	y	1
11	1	1	0	1
10	1	0	0	1

b)
$$F = \overline{BD} + \overline{BC} + \overline{AC} + \overline{ABD}$$

c)
$$F = (A + B + C + \overline{D})(A + \overline{B} + D)(\overline{A} + \overline{B} + \overline{C})$$

d)
$$F = (\overline{BD} + \overline{BC} + \overline{AC} + \overline{ABD})$$

$$F = (\overline{BD})(\overline{BC})(\overline{AC})(\overline{ABD})$$

e)
$$F = (A + B + C + \overline{D})(A + \overline{B} + D)(\overline{A} + \overline{B} + \overline{C})$$

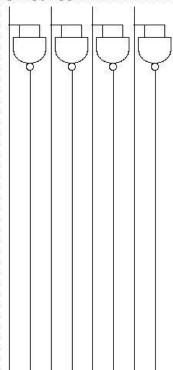
$$F = \overline{(A+B+C+\overline{D})} + \overline{(A+B+D)} + \overline{(\overline{A}+\overline{B}+\overline{C})}$$

a) Tabela da verdade

A	В	C	D	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	0 1 1	0	1	1
0	1	1	0	0
0	1	1	1	1
0 0 0 0 0 0	0	1 1 0	0 1 0 1 0 1	1
1	1 1 0 0	0 1 1	1 0 1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1 0 1 1 1 1 1 1 0
1 1 1 1 1	1	1	0	0
1	1	1	1	0

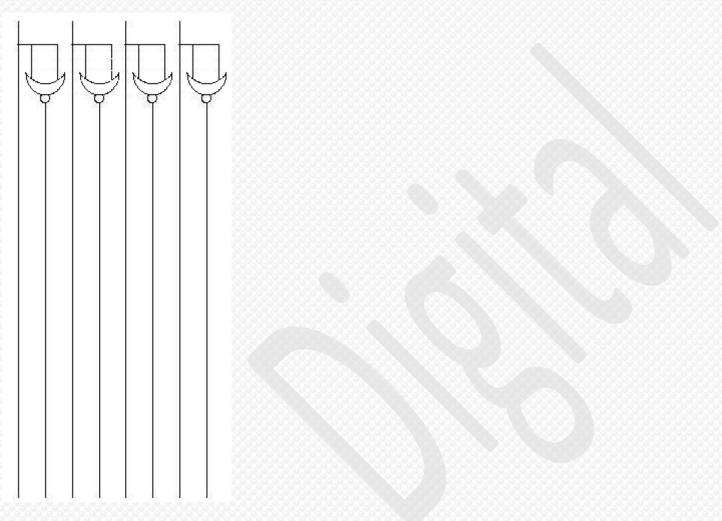


Circuito:











Exemplo: Dada a equação booleana a seguir, pede-se:

- a) Tabela da verdade.
- b) Simplificação por Karnaugh na forma disjuntiva.
- c) Simplificação por Karnaugh na forma conjuntiva.
- d) Implementação com portas NE.
- e) Implementação com portas NOU.

$$F = (A + B' + C + D') (A' + B + C') (B + C' + D') (A + B + C' + D)$$

Mapa de Karnaugh

A	3	00	01	11	10
CD	00		1	1	
	01	1	0	7	1
	11	0	1	1	0
	10	0	\overline{f}	1	0

a)
$$F = \overline{BC} + \overline{CD} + \overline{AC} + \overline{BC}$$

b)
$$F = (B + \overline{C})(A + \overline{B} + C + \overline{D})$$

d)
$$F=(\overline{BC})(\overline{CD})(\overline{AC})(\overline{BC})$$

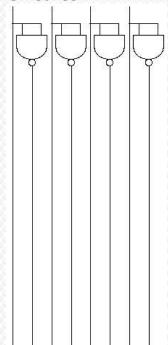
e)
$$F = (B + \overline{C}) + (A + \overline{B} + C + \overline{D})$$

a) Tabela da verdade

4	В	U	D	щ
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
0 1 1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

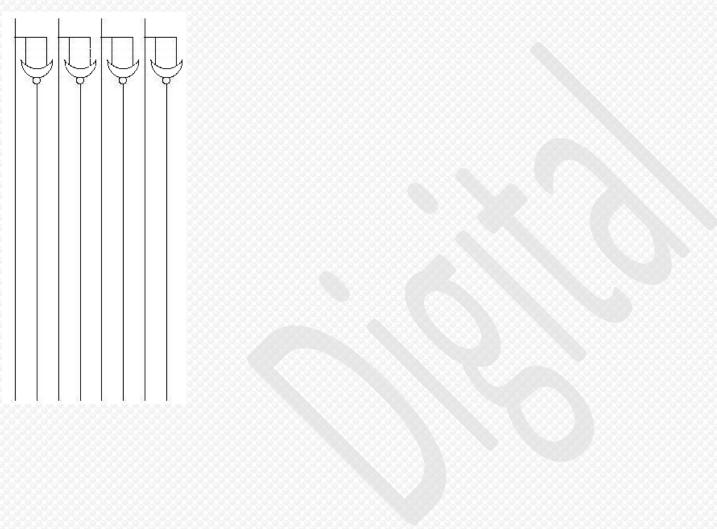


Circuito:











Exemplo: Dada a equação booleana a seguir, pede-se:

- a) Tabela da verdade.
- b) Simplificação por Karnaugh na forma disjuntiva.
- c) Simplificação por Karnaugh na forma conjuntiva.
- d) Implementação com portas NE.
- e) Implementação com portas NOU.

$$F = (A' + D') \cdot (B' + C' + D) \cdot (A' + B' + C) + BCD' + AB'D' + AD$$

a) Tabela da verdade

Mapa de Karnaugh

AB	00	01	11	10
CD 00			0	1
01	1	1	1	
11		1	1	\nearrow
10			1	

a)
$$F = \overline{A} + \overline{B} + C + D$$

b)
$$F = \overline{A} + \overline{B} + C + D$$

c)
$$F = (\overline{ABCD})$$

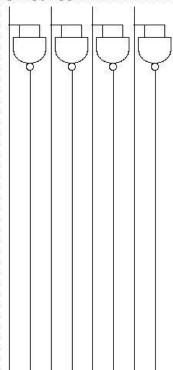
d)
$$F = (\overline{A} + \overline{B} + C + D)$$

a) Tabela da verdade.

A	В	U	D	F	F	F
0	0	0	0	0	1	1
0	0	0	1	0	1	1
0	0	н	0	0	1	1
0	0	1	1	0	1	1
0	1	0	0	0	1	1
0	1	0	1	0	1	1
0	1	1	0	1	0	1
0	1	1	1	0	1	1
1	0	0	0	1	11	1
1	0	0	1	1	0	1
1	0	1	0	1	1	1
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	1	1	0	1
1	1	1	0	1	0	1
1	11	1	11	1	0	11

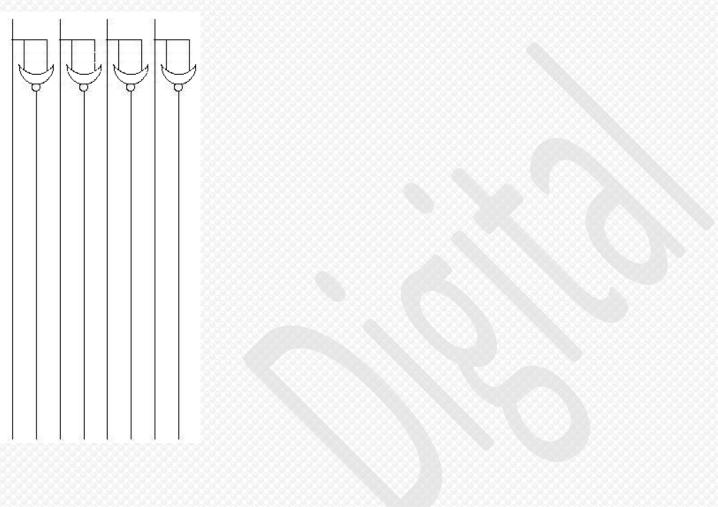


Circuito:









Exemplo: Dada a equação booleana a seguir, pede-se:



- a) Tabela da verdade.
- b) Simplificação por Karnaugh na forma disjuntiva.
- c) Simplificação por Karnaugh na forma conjuntiva.
- d) Implementação com portas NE.
- e) Implementação com portas NOU.

$$F = (A \oplus B).(B' + D).(C' + D') + A'BCD + AC'D + AB'D'$$

Mapa de Karnaugh

AB	00	01	11	10
CD 00	0	0	0	(\exists)
01	0	1	\forall	
11	0	1	9	0
10	0	0	0	Θ

a)
$$F = \overline{ABD} + \overline{ACD} + \overline{ABD}$$

b)
$$F = (A+B)(A+D)(B+D)(\overline{A}+\overline{C}+\overline{D})$$

c)
$$F=(\overline{ABD})(\overline{ACD})(\overline{ABD})$$

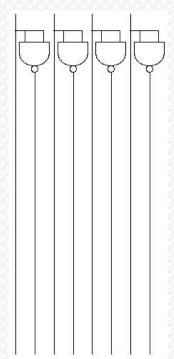
d)
$$F=(\overline{A+B})+(\overline{A+D})+(\overline{B+D})+(\overline{A+C+D})$$

a) Tabela da verdade

Α	В	С	D	FD	Fc	F
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	0	1	1
0	1	1	0	0	0	0
0	1	1	1	1	0	1
1	0	0	0	1	1	1
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	0	0	0
1	1	0	0	0	0	0
1	1	0	1	1	0	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

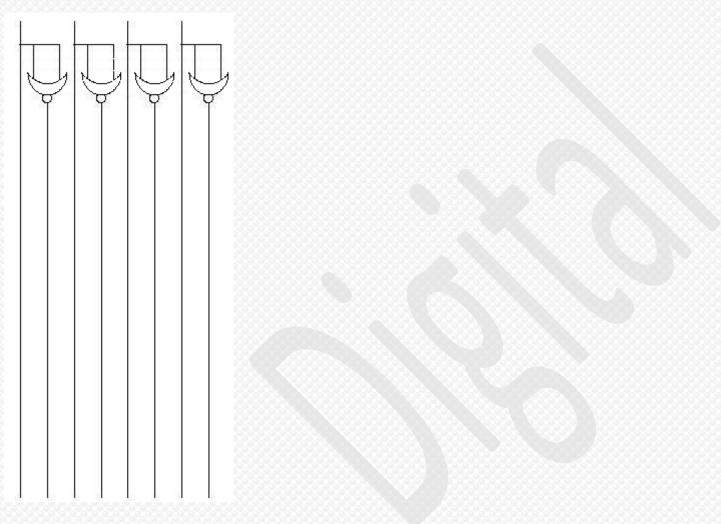
Circuito:













EXERCÍCIOS DE MINIMIZAÇÃO — FORMAS DISJUNTIVA E CONJUNTIVA — CONDIÇÕES DE IRRELEVÂNCIAS, PORTAS NE E NOU.

Dada a tabela da verdade a seguir, pede-se:

- a) Simplificação por Karnaugh na forma disjuntiva.
- b) Simplificação por Karnaugh na forma conjuntiva.
- c) Implementação com portas NE.
- d) Implementação com portas NOU.

Mapa de Karnaugh

AB	00	01	11	10
CD 00	X	1	7	$\langle \cdot \rangle$
01	X	1	1	0
11	0	0	0	1
10	0	0	0	1

a)
$$F = ABC + BC + CD$$

b)
$$F = (\overline{B} + C + \overline{D})(\overline{B} + \overline{C})(A + \overline{C})$$

c)
$$F = (\overline{ABC})(\overline{BC})(\overline{CD})$$

d)
$$F = (\overline{B} + C + \overline{D}) + (\overline{B} + \overline{C}) + (\overline{A} + \overline{C})$$

a) Tabela da verdade

A	В	C	D	F
0	0	0	0	X
0	0	0	1	X
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



2.
$$F = (B + C + D') \cdot (A + B' + C') \cdot (B' + C + D')$$

a) Tabela da verdade

C 0 0	D	F 1
0	0	1
0		
•	1	0
1	0	1
1	1	0 1 1
0	0	1
0	1	0
1	0	0
1	1	1 1 0 1
0	0	1
0	1	0
1	0	1
1	1	0
0	0	1
0	1	0 1 0
1	0	1
1	1	1
	1 0 0 1 0 1 1 0	1 0 1 1 0 0 0 1 1 0 1 1 0 0 1 1 0 0 1 1 1 0

Mapa de Karnaugh

AB	00	01	11	10
CD 00		1	7	
01	0	1	0	0
11	1	0	1	0
10	1	0		1

a)
$$F = \overline{CD} + \overline{ABC} + \overline{AD} + \overline{ABC} + \overline{ABC}$$

b)
$$F = (B+C+\overline{D})(A+\overline{B}+\overline{C})(\overline{A}+C+\overline{D})(\overline{A}+B+\overline{D})$$

c)
$$F = (\overline{CD})(\overline{ABC})(\overline{AD})(\overline{ABC})(\overline{ABC})$$

d)
$$F = (B+C+\overline{D}) + (A+\overline{B}+\overline{C}) + (\overline{A}+C+\overline{D}) + (\overline{A}+B+\overline{D})$$



3.
$$F = (A + C' + D) \cdot (B' + C' + D') \cdot (A' + B + C') + BCD' + AB'D'$$

a) Tabela da verdade

Α	В	C	D	F _D	Fc	F
0	0	0	0	0	1	1
0	0	0	1	0	1	1
0	0	1	0	0	1	1
0	0	1	1	0	1	1
0	1	0	0	0	1	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
0	1	1	1	0	0	0
1	0	0	0	1	1	1
1	0	0	1	0	0	0
1	0	1	0	1	0	1
1	0	1	1	0	0	0
1	1	0	0	1	1	1
1	1	0	1	0	0	0
1	1	1	0	0	1	1
1	1	1	1	0	0	0

Mapa de Karnaugh

AB	00	01	11	10
CD 00			1	
01	1	1	0	0
11	1	0		0
10		1	9	\bigcirc

- a) $F = \overline{AB} + \overline{AC} + \overline{BD} + \overline{ABCD} + \overline{CD}$
- b) $F = (A+B+C+D)(\overline{A}+B+C+D)(\overline{A}+B+D)(\overline{A}+C+D)$
- c) $F = (\overline{AB})(\overline{AC})(\overline{BD})(\overline{ABCD})(\overline{CD})$
- d) F = (A+B+C+D) + (A+B+C+D) + (A+B+D) + (A+C+D)



4.
$$F = (A \oplus B).(A' + B' + D).(B' + D') + A'BCD + AC'D$$

a) Tabela da verdade

Α	В	C	D	FD	Fc	F
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	11	0	0	0
0	1	0	0	0	0	0
0	1	0	1	0	0	0
0	1	1	0	0	0	0
0	11	1	1	1	11	1
1	0	0	0	0	0	0
1	0	0	11	1	11	1
1	0	1	0	0	0	0
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	1	0	1	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

Mapa de Karnaugh

AB	00	01	11	10
CD 00	0	0	0	0
01	9	0	\bigcirc	
11	0	(\exists)	0	1
10	0	0	0	6

a)
$$F = \overline{ABCD} + \overline{ACD} + \overline{ABD}$$

b)
$$F = (D)(A+C)$$

d)
$$F = (\overline{ABCD})(\overline{ACD})(\overline{ABD})$$

e)
$$F = (\overline{D}) + \overline{(A+C)}$$



Exemplo: Construir um circuito lógico capaz de gerar uma saída F ALTO sempre que os números X e Y de entrada forem iguais. Sendo X e Y 2 números de 2 bits cada. Pede-se:

- a) A tabela da verdade
- b) A expressão F simplificada por Karnaugh na forma disjuntiva.
- c) Implementação de F em termos de blocos exclusivos.

$$X = X_1X_0 e Y = Y_1Y_0$$

X	X ₁	Xo	Y	Y ₁	Yo	F	X	X ₁	Xo	Y	Y ₁	Yo	F
0	0	0	0	0	0	1	2	1	0	0	0	0	0
0	0	0	1	0	1	0	2	1	0	1	0	1	0
0	0	0	2	1	0	0	2	1	0	2	1	0	1
0	0	0	3	1	1	0	2	1	0	3	1	1	0
1	0	1	0	0	0	0	3	1	1	0	0	0	0
1	0	1	1	0	1	1	3	1	1	1	0	1	0
1	0	1	2	1	0	0	3	1	1	2	1	0	0
1	0	1	3	1	1	0	3	1	1	3	1	1	1

b) Mapa de Karnaugh

X_1X_0	00	01	11	10
Y ₁ Y ₀ 00	1			
01		1		
11			1	
10	N			1

$$F = \overline{X_1} \overline{X_0} \overline{Y_1} \overline{Y_0} + \overline{X_1} \overline{X_0} \overline{Y_1} Y_0 + \overline{X_1} \overline{X_0} Y_1 \overline{Y_0} + \overline{X_1} \overline{X_0} Y_1 Y_0$$

$$F = (\overline{X_1 \oplus Y_1}) (\overline{X_0 \oplus Y_0})$$

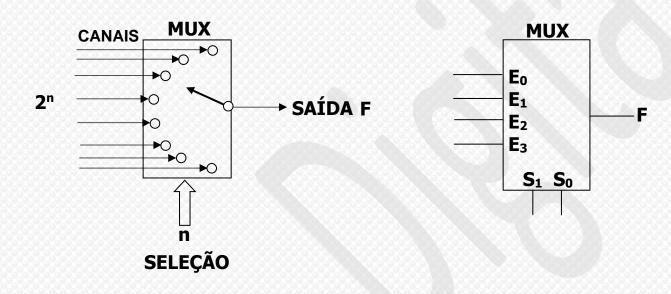


- 10. Multiplexadores e multiplex como gerador de função boleana
- 10.1 Multiplex como bloco lógico

Exemplo DE Multiplex para 04 canais

a – Analogia com uma chave rotativa.

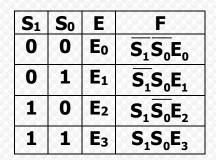
a – Bloco Lógico.

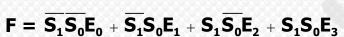


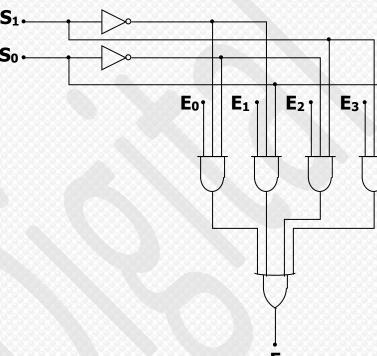


10.2 - Tabela da verdade para o MUX de 04 canais.

XXX V			. /	
	CIPC	IIITA	Inc	1100
III –		uitu	IUU	









10.3 – Associação de Multiplex.

- a) Construir utilizando-se do MUX acima um MUX para 16 canais. As variáveis A,B,C,e D externas selecionam cada canal, sendo a variável D = MSB. A com figuração da associação será:
- O número de MUX necessários para a construção dos 16 canais usando MUX de 04 canais é igual a:

As 4 saídas devem ser multiplexadas e para isso usamos um quinto MUX para a seleção da saída de cada MUX. As tabelas da verdade a seguir são apresentadas para os canais de entrada e para as saídas.

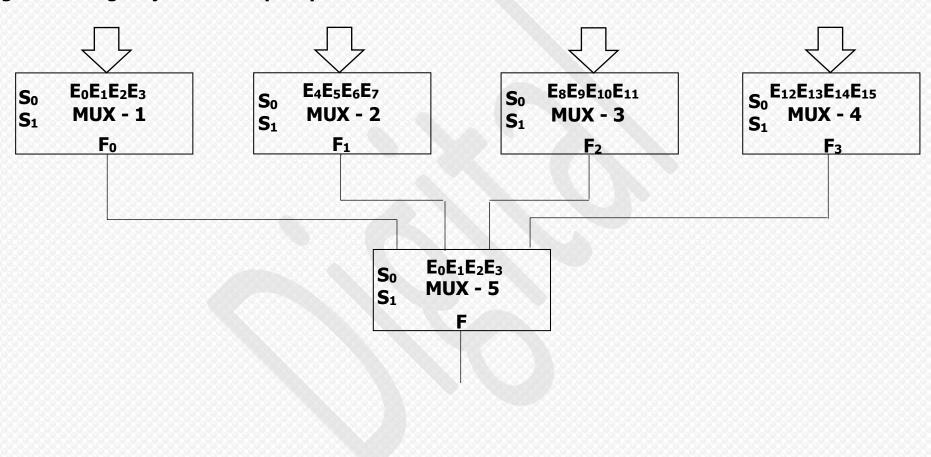
B/S ₁	A/S ₀	Canais	MUX
0	0	Eo	1
0	1	E ₁	1
1	0	E ₂	1
1	1	E ₃	1
0	0	E ₄	2
0	1	E 5	2
1	0	E ₆	2
1	1	E ₇	2

B/S ₁	A/S ₀	Canais	MUX
0	0	E ₈	3
0	1	E ₉	3
1	0	E ₁₀	3
1	1	E ₁₁	3
0	0	E ₁₂	4
0	1	E ₁₃	4
1	0	E ₁₄	4
1	1	E ₁₅	4

D/S ₁	C/S ₀	Canais	MUX
0	0	Fo	5
0	1	F ₁	5
1	0	F ₂	5
1	1	F ₃	5



A seguir a configuração do Multiplex para 16 canais são:

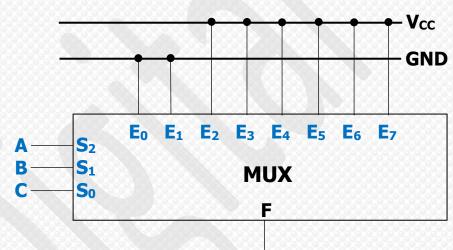




10.4 Gerador de função booleana

 $F = \overline{ABC} + A\overline{B} + A\overline{C} + BC$ gerar esta função F usando MUX de 03 variáveis de seleção, sendo S_2 a variável mais significativa.

A/S ₂	B/S ₁	C/S ₀	F	Canal
0	0	0	0	$\mathbf{E_0} = 0$
0	0	1	0	$E_1 = 0$
0	1	0	1	$\mathbf{E}_2 = 1$
0	1	1	1	$E_3 = 1$
1	0	0	1	$E_4 = 1$
1	0	1	1	$E_5 = 1$
1	1	0	1	$E_6 = 1$
1	1	1	1	$E_7 = 1$

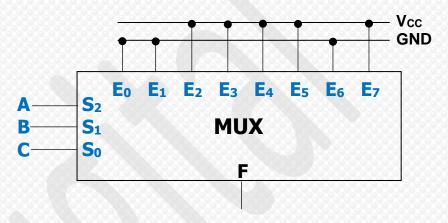


- 1. Preencher a tabela da verdade
- 2. Associar as variáveis da função booleana (A,B e C) às variáveis de seleção do MUX (S₂,S₁ e S₀).
- 3. Identificar canal de entrada com a linha correspondente da tabela da verdade e preencher o valor do canal com o valor da função F de saída.



Exemplo: F = BC + A ⊕ B. Gerar esta função f usando MUX de 03 variáveis de seleção, sendo S₂ a variável mais significativa.

A/S ₂	B/S ₁	C/S ₀	E	Canal
0	0	0	0	$\mathbf{E}_0 = 0$
0	0	1	0	$E_1 = 0$
0	1	0	11	$E_2 = 1$
0	1	1	1	$E_3 = 1$
1	0	0	1	$E_4 = 1$
1	0	1	1	$E_5 = 1$
1	1	0	0	$E_6 = 0$
1	1	1	1	$E_7 = 1$





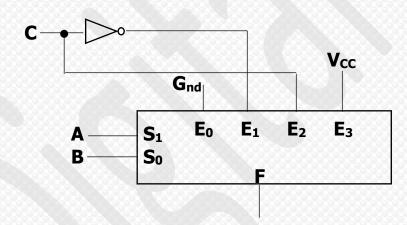
11. MULTIPLEX e DEMULTIPLEX

11.1 Gerador de função com n+1 variáveis booleanas com multiplex de n variáveis de seleções.

$$F = AB\overline{C} + AC + B\overline{C} + ABC$$

Exemplo: Gerar esta função f usando MUX de 02 variáveis de seleção, sendo S₁ a variável mais significativa (que tem peso maior entre as variáveis 2ⁿ⁻¹.

A/S ₁	B/S ₀	C/aux	F	Canais
0	0	0	0	$\mathbf{E_0} = 0$
0	0	1	0	
0	1	0	1	$E_1 = \overline{C}$
0	1	1	0	
1	0	0	0	$\mathbf{E}_2 = \mathbf{C}$
1	0	1	1	
1	1	0	1	$E_3 = 1$
1	1	1	1	

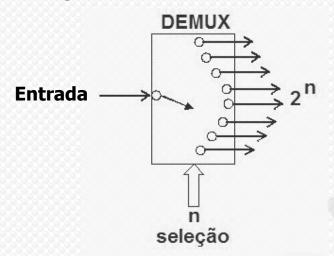




S₁₋₀

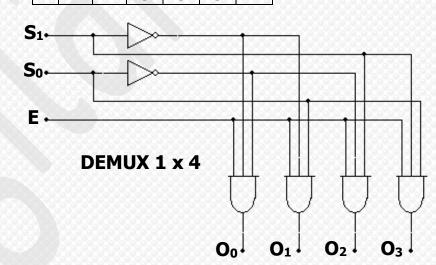
11.2 Demultiplex como bloco lógico

Analogia com uma chave rotativa.





Equações				
booleanas do				
O ₀ = S ₁ S ₀ E				
O		S1S0E		
O_1	=	S ₁ S ₀ E		
		_ = _		
02	=	S, SoE		
_				
U ₃	=	S_1S_0E		



03

0

0

0



11.3 Implementação do DEMUX 1 x 4 com saída lógica zero.

Bloco lógico

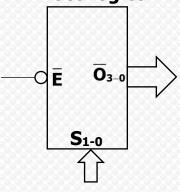


Tabela da verdade

Ē	S ₁	S ₀	Oo	Ōı	O ₂	O ₃
Ē	0	0	E	1	1	1
Ē	0	1	1	ш	1	1
Ē	1	0	1	1	Ē	1
Ē	1	1	1	1	1	Ē

Equações booleanas do DEMUX

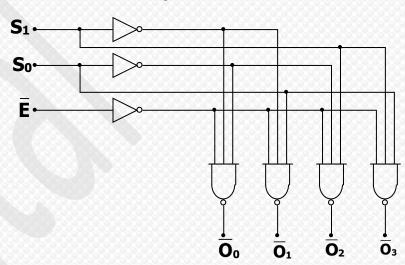
$$\overline{O}_0 = \overline{S}_1 \overline{S}_0 \overline{E}$$

$$\overline{O}_1 = \overline{S}_1 S_0 \overline{E}$$

$$\overline{O}_2 = S_1 \overline{S}_0 \overline{E}$$

$$\overline{O}_3 = S_1 S_0 \overline{E}$$

Circuito Demultiplexador



11.4 Associação de DEMUX

Exemplo: Construir utilizando-se do DEMUX 1 x 4 um DEMUX para dezesseis saídas. As variáveis A,B,C,e D externas selecionam cada saída, sendo a variável D = MSB. A com figuração da associação será:

O número de DEMUX necessários para a construção dos dezesseis canais, usando DEMUX de quatro canais é igual a:

Total de saídas X = 16/4 = 4 DEMUX de partida

Total de DEMUX para distribuição são quatro, porém usamos um quinto DEMUX para a seleções das entradas de cada DEMUX. A tabela da verdade a seguir para as quatro variáveis externas é apresentada.

Tabela da verdade

D	C	В	Α	Saídas	DEMUX
0	0	0	0	0	1
0	0	0	1	1	1
0	0	1	0	2	1
0	0	1	1	3	1
0	1	0	0	4	2
0	1	0	1	5	2
0	1	1	0	6	2
0	1	1	1	7	2
1	0	0	0	8	3
1	0	0	1	9	3
1	0	1	0	10	3
1	0	1	1	11	3
1	1	0	0	12	4
1	1	0	1	13	4
1	1	1	0	14	4
1	1	1	1	15	4

11.5 ASSOCIAÇÃO DE DEMULTIPLEX

