

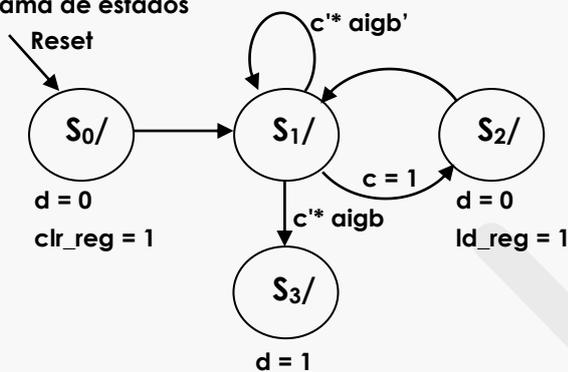
Nível de Transferência entre Registradores – RTL - Livro texto, pág.242 a 276.

Exemplo 5.1: Construir uma unidade de controle para uma máquina de refrigerantes. Dispõe-se de uma entrada c de 1 bit onde ($c = 1$), durante um ciclo de relógio, sempre que uma moeda for detectada. Dispõe-se também de uma entrada a de oito bits que indica o valor da moeda em centavos. Uma terceira entrada s de oito bits indica o custo de um refrigerante (esse valor é definido pelo proprietário da máquina). A unidade de controle somente gera uma saída d ($d = 1$), por um ciclo de relógio, sempre que o total de moedas for maior ou igual ao custo de um refrigerante. Obs.: Essa máquina fornece somente um tipo de refrigerante. A máquina não fornece troco ficando retido o excedente. Pede-se:

- a) Descrever o problema usando F.S.M.
- b) Utilizando-se do fluxo de dados geral projetar a unidade de controle.

1.º Passo: Transformar o fluxograma em uma descrição por diagrama de estados.

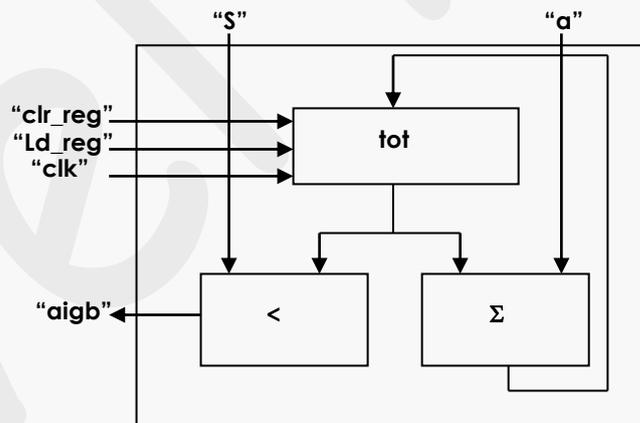
Diagrama de estados



Passo 2: Criar um bloco operacional

Fluxo de dados - RTL

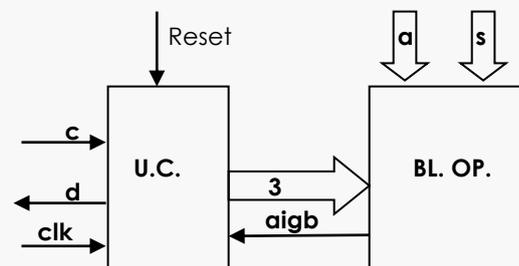
tot = Registrador;
 tot + a = Somador;
 tot e s = Comparador.



Passo 3: Bloco de controle do fluxo de dados

Sinais na U.C.

- a) Entrada: c , $aigb$
- b) Saída: d



Designação de estados: $S_0 = 00$, $S_1 = 01$, $S_2 = 10$ e $S_3 = 11$.

S_0 = Início, S_1 = Espera, S_2 = Soma e S_3 = Fornece.

Q₁	0	1
Q₀ 0	S_0	S_2
1	S_1	S_3

Máquina de estados finitos - F.S.M – Implementação DA F.S.M. nível RTL.

- a) Sinais externos de entradas: c, a
- b) Sinais internos de entradas: aigb
- c) Sinais de saídas: d

Tabela de estados e saída.

Estado	Q ₁	Q ₀	Entradas c,aigb				LD_REG	CLR_REG	d
			00	01	10	11			
S ₀ – Início	0	0	01	01	01	01	0	1	0
S ₁ – Espera	0	1	01	11	10	10	0	0	0
S ₂ – Soma	1	0	01	01	01	01	1	0	0
S ₃ - Fornece	1	1	00	00	00	00	0	0	1

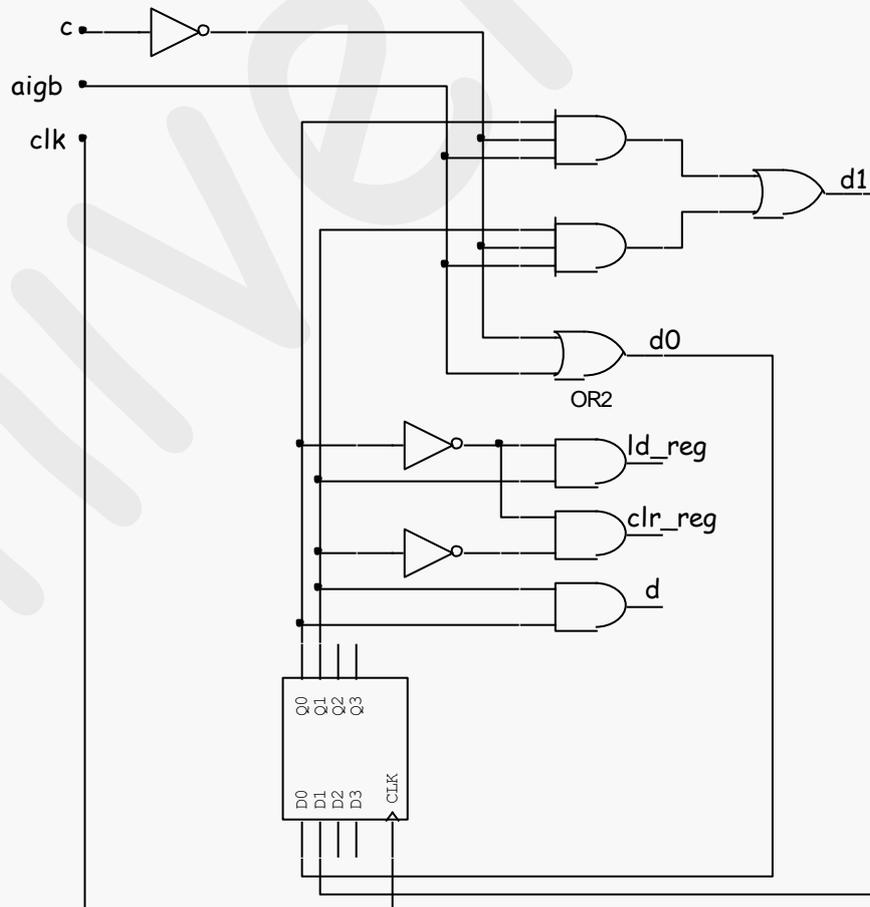
Implementação usando F/F tipo D, equações de estados e de saídas.

Q ₁ Q ₀	00	01	11	10
c,aigb 00	0	0	0	0
01	0	1	1	1
11	0	0	0	0
10	0	0	0	0

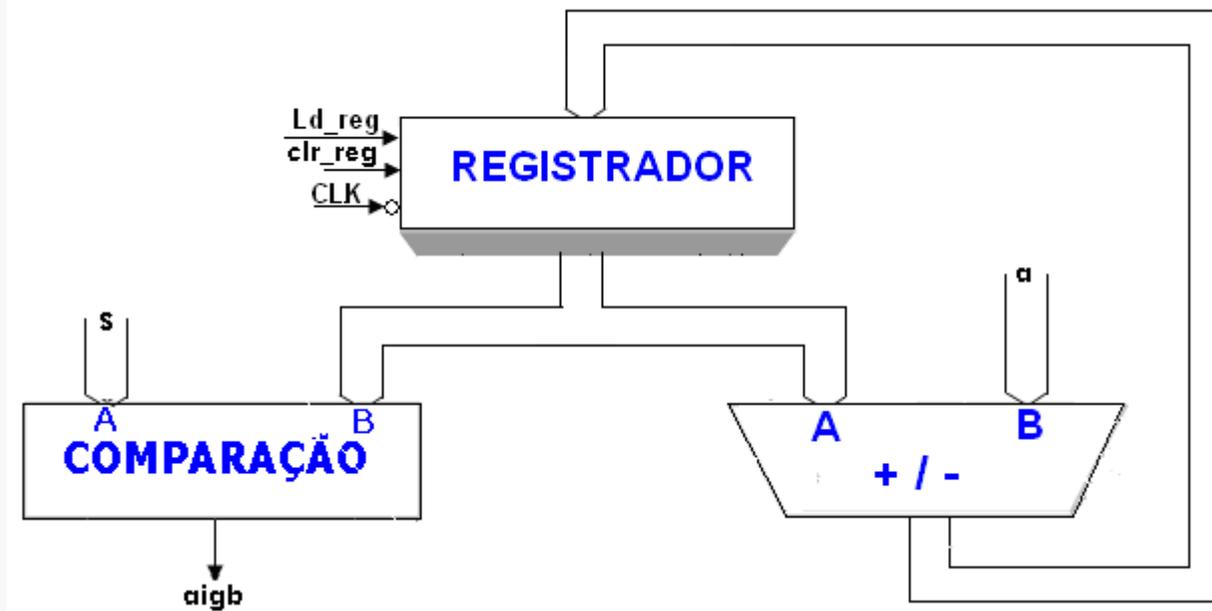
Q ₁ Q ₀	00	01	11	10
c,aigb 00	1	1	1	1
01	1	1	1	1
11	1	1	1	1
10	0	0	0	0

$D_1 = Q_0c'aigb + Q_1c'aigb$
 $D_0 = c' + aigb$
 $LD_reg = Q_1Q_0'$
 $CLR_reg = Q_1'Q_0'$
 $d = Q_1Q_0$

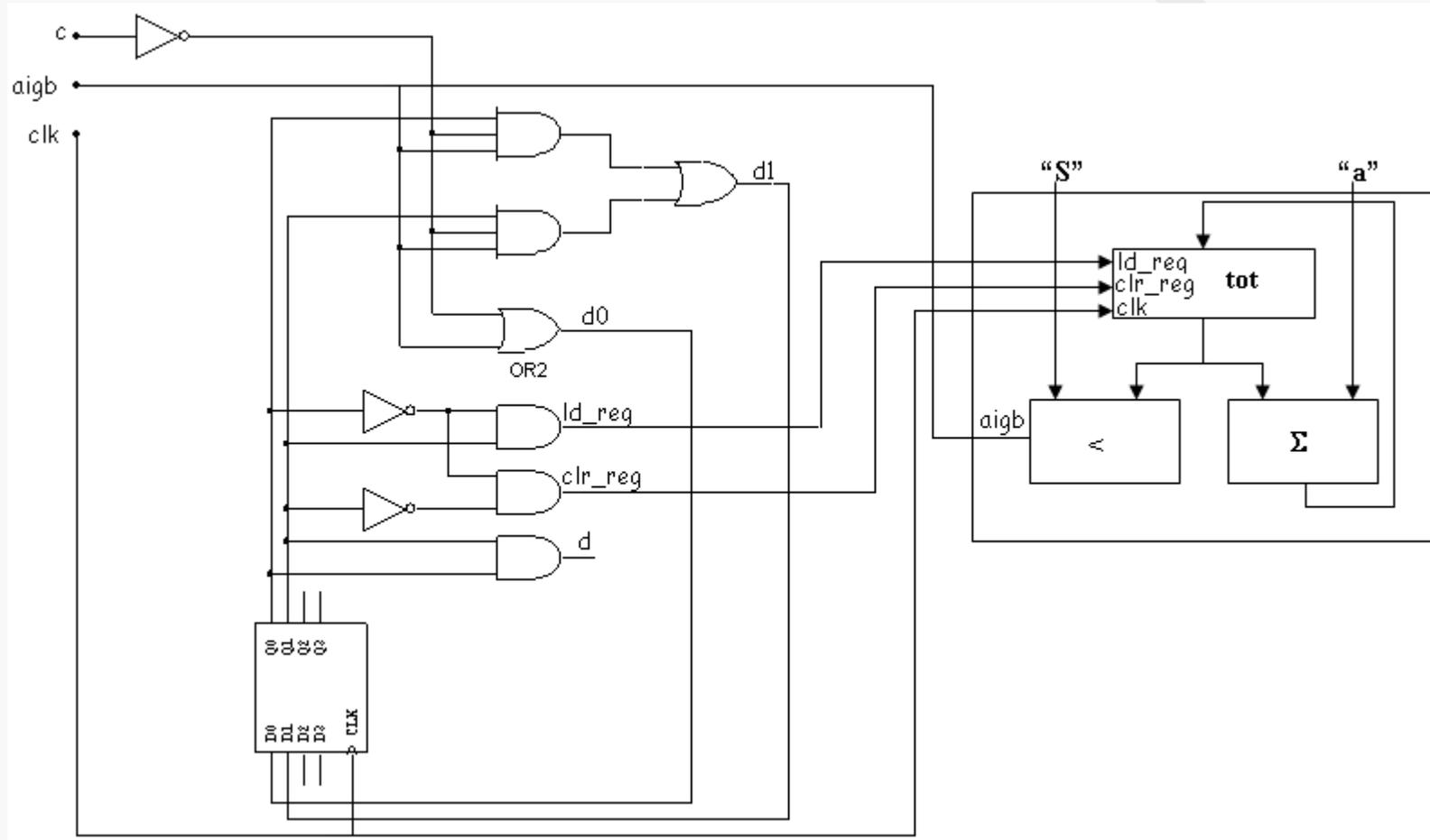
Circuito: RTL, lógica do estado futuro e saída.



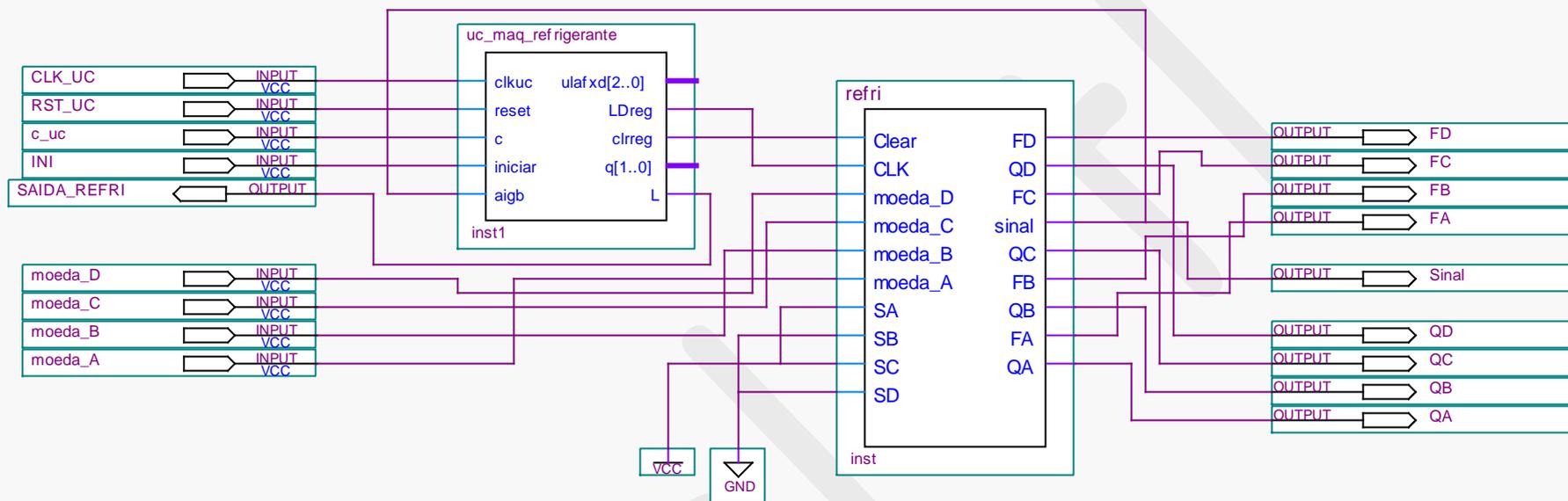
ARQUITETURA DO FLUXO DE DADOS: Solução da problema da máquina de refrigerante usando nível de transferência entre registradores RTL. A seguir é apresentada a arquitetura do fluxo de dados.



SISTEMA DIGITAL COMPLETO: Fluxo de dados e unidade de controle da máquina de refrigerante.



Sistema digital Completo – Com UC e FX da máquina de refrigerante implementada no Quartus.



Formas de ondas – Simulação no Quartus com custo do refrigerante igual a cinco.

