

ENGENHARIA ELÉTRICA

6º78º

A

Curso

Série ou Período

Turma

Eletrônica Digital.

NP2

Disciplina

Prova

Nome do Aluno

Nº. do Aluno

Assinatura

22/05/23 19:10 Hs

Data

Luís Caldas

Professor

NOTA

Instruções: PROIBIDA a consulta de livros ou anotações. PERMITIDO uso de calculadoras. Duração da prova: 75 min.
ATENÇÃO: TODOS OS DISPOSITIVOS ELETRÔNICOS (CELULAR, IPAD E SIMILARES) DEVEM ESTAR DESLIGADOS E GUARDADOS, FORA DO ALCANCE DO ALUNO.
CADA QUESTÃO VALE 1,0 ponto – Total da prova = 8,0

A tabela da verdade a seguir será usada para as questões de 1 a 2.

X ₂	X ₁	X ₀	Estado
0	0	0	0
1	0	1	5
0	0	1	1
0	1	0	2
1	0	0	4
0	1	1	3
1	1	0	6
1	1	1	7

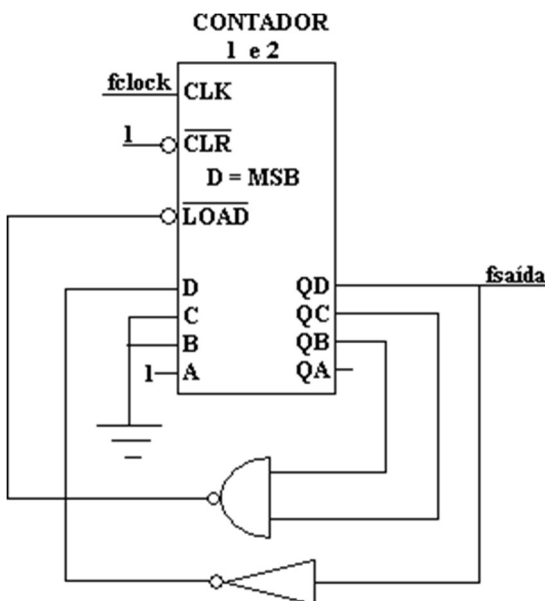
1.a Questão: (Valor 1,0) Na construção de um contador módulo 6 iniciando no estado 000 é usado uma realimentação de estado. Qual o meta-estado usado caso seja um contador síncrono e para um contador assíncrono?

- a) Estados 6 e 3
- b) Estados 6 e 6
- c) Estados 3 e 3
- d) Estados 3 e 6 - Correta
- e) N.d.a.

2.a Questão: (Valor 1,0) Qual a divisão de frequência das saídas X₂, X₁ e X₀?

- a) 4,4,4
- b) 3,2,4
- c) 3,2,3 - Correta
- d) 4,2,3
- e) N.d.a

3.a Questão: (Valor 1,0) Qual o módulo e sequência do módulo de estados de cada contador 1 e 2?



CLR'	LOAD'	CLK	Operação
L	X	X	Limpa Q's contador 1
L	X	↑	Limpa Q's contador 2
H	L	X	Carrega paralela contador 1
H	L	↑	Carrega paralela contador 2

D = MSB (mais significativo)

Para contador 1: meta-estados 6 e 14

Estados: 1-2-3-4-5-9-10-11-12-13 – Módulo 10

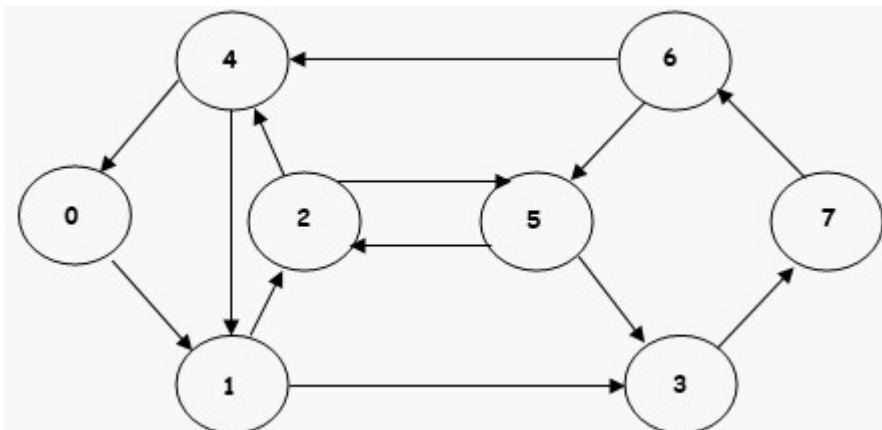
Para contador 2: sem meta-estado

Estados: 1-2-3-4-5-6-9-10-11-12-13-14 – Módulo 12

Obs.: Os 2 contadores iniciam no estado 0, mas não retornam para este estado.

4.a Questão: (Valor 2,5) O diagrama de estados a seguir é realizado por um registrador de deslocamento de 3bits, o qual percorre uma sequência de estados conforme a borda de descida do relógio. A fim de gerar em Q₂ (bit mais significativo) a sequência dada a seguir: 0 0 0 1 1 1 1 0 1 e sendo o estado inicial do registrador é 0 determinar:

- a) A sequência de estados? (1,0)
- b) Implementação da lógica do estado futuro. (1,0)
- c) A expressão booleana da saída síncrona S lógica positiva. (S = 1 na passagem do estado 4 para o estado 0. (0,5)



Est	Bit Q ₂	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
3	0	0	1	1
7	1	1	1	1
6	1	1	1	0
5	1	1	0	1
2	0	0	1	0
4	1	1	0	0

- a) A sequência de estados: 0 - 1 - 3 - 7 - 6 - 5 - 2 - 4
- b) A equação de D_s será:

Q ₂ Q ₁	00	01	11	10
Q ₀	0	1	0	1
0	1	1	1	0
1	1	1	0	0

$$D_s = \overline{Q_2} \overline{Q_1}' + \overline{Q_2}' Q_0 + Q_2 Q_1 \overline{Q_0}' \text{ ou}$$

$$D_s = \overline{Q_2} \overline{Q_1} + \overline{Q_2} Q_0 + Q_2 Q_1 \overline{Q_0}$$

- c) S = (Q₂Q₁'Q₀'CLK)' (' é o complemento lógico)

ou

$$S = \overline{Q_2 Q_1' Q_0' CLK}$$

3.a Questão: (Valor 2,5) Implementar um sistema digital capaz de identificar e gerar uma saída $S = 1$ sempre que ocorrer na entrada X a sequência de bits iguais a 010. Pede-se:

a) Diagrama de estados pelo modelo de Mealy. (1,0)

b) A representação esquemática do sistema digital entrada e saída e lógica do estado futuro. (0,5)

c) Implementação das equações de estados e desenho do circuito com F/F tipo D. (1,0)

