

Caracterización del condensador de salida de convertidores DC/DC usando técnicas de identificación y DTW

M. Granda, C. Fernández, P. Zumel, A. Lázaro, A. Barrado

GSEP- Grupo de Sistemas Electrónicos de Potencia.

Universidad Carlos III de Madrid. 28911 Leganés, Madrid.

Abstract— Las técnicas de identificación se usan en la medida de la respuesta en frecuencia de convertidores de potencia, diseño del control, la medida de la impedancia o monitorización del estado del convertidor. En este artículo, la impedancia del condensador de salida de un convertidor de potencia DC/DC es caracterizada en términos de capacidad y resistencia serie equivalente (ESR) midiendo la respuesta en frecuencia del convertidor. Uno de los puntos claves del sistema propuesto es la comparación entre la medida obtenida y los patrones de referencia. La técnica Dynamic Time Warping es usada para valorar las similitudes entre la medida y la respuesta en frecuencia esperada, que es obtenida mediante el ajuste de los valores de la capacidad y ESR. El funcionamiento del sistema se ha validado mediante simulaciones y medidas experimentales.

I. INTRODUCCIÓN

La monitorización del estado de convertidores de potencia en automoción, energías renovables, aplicaciones críticas, como sistemas de distribución de potencia en satélites o aeronaves, pueden ser integrados en el sistema de control del convertidor proporcionando la capacidad de diagnóstico del convertidor de potencia.

En algunos casos, el problema se ha solventado usando circuitos de sensado [1] adicionales y posterior procesamiento de los datos recolectados. El uso de controles digitales permite la implementación de funciones adicionales como la identificación de la respuesta de los convertidores de potencia usando el sensor requerido para propósitos de regulación. Esta característica en particular se ha usado en la implementación de sistemas de monitorización de la condición del convertidor con control digital [2]-[4].

Uno de los componentes críticos desde el punto de vista de la fiabilidad es la capacidad de almacenamiento de energía en la etapa de potencia. En algunos casos, la degradación del aluminio de los condensadores electrolíticos [5] conlleva a que las características eléctricas empeoren progresivamente, afectando al rendimiento y fiabilidad del convertidor de potencia [6][7].

La capacidad y la resistencia serie equivalente modifican sus valores a lo largo de la vida útil del componente. La medida de la capacidad y ESR del condensador es una forma de estimar el estado del componente. Cuando la capacidad es menor que un valor determinado, o la ESR es mayor al valor establecido, el condensador se puede considerar cerca del fin de su vida útil. El conocimiento exacto de la tensión y corriente en el condensador permiten caracterizar su impedancia. Sin embargo, la

impedancia del condensador puede ser medida también usando medidas indirectas, como la respuesta en frecuencia del convertidor. En el caso del condensador de salida de un convertidor de potencia, la respuesta en frecuencia de la tensión de salida a la señal de control, normalmente el ciclo de trabajo es determinado, entre otras cosas, por el valor de la impedancia del condensador de salida.

Los sistemas de auto-identificación se han usado recientemente en aplicaciones tales como el auto-tuning o medida de la impedancia en sistemas multi-convertidores. El funcionamiento de estos sistemas se basa en la introducción de una pequeña perturbación en la señal de control y la medida de la respuesta del convertidor mediante la cual se establece una relación con la que se obtiene la respuesta en frecuencia del convertidor.

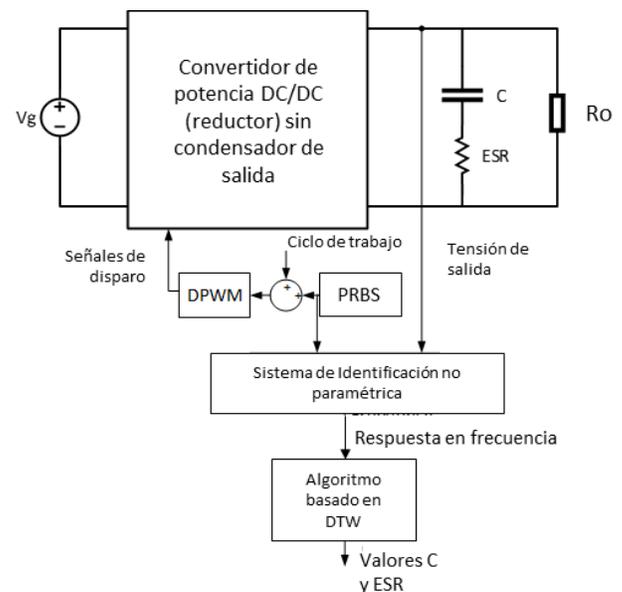


Figura 1 Diagrama de bloques del sistema propuesto para caracterizar la impedancia del condensador de salida (C y ESR).

Este trabajo se centra en la monitorización del estado del condensador en el convertidor de potencia aplicando una perturbación al mismo para posteriormente realizar una identificación paramétrica con el objetivo de determinar la impedancia del condensador que permita estimar el estado de degradación del mismo. El diagrama de bloques del sistema

propuesto se detalla en la Figura 1, donde el condensador de salida se ha representado fuera del convertidor de potencia. La sección II detalla las bases teóricas del sistema propuesto, la sección III incluye los resultados experimentales obtenidos de un prototipo de laboratorio, y la sección IV resume las principales conclusiones del trabajo.

II. SISTEMA DE MONITORIZACIÓN DEL ESTADO DEL CONVERTIDOR

En este trabajo se monitorizarán los condensadores de salida de un convertidor reductor. Una forma más convencional de llevar a cabo la monitorización del estado del convertidor es mediante la medida directa de la tensión y corriente, lo que conllevaría la necesidad de una mayor cantidad de sensores, además del necesario para la regulación, con el objetivo de detectar cualquier desviación del funcionamiento normal del convertidor. Sin embargo, el sistema propuesto está basado en introducir una perturbación en el ciclo de trabajo de la señal de conmutación del convertidor de potencia, en una forma similar a lo descrito en [8][9], donde la etapa de control esta implementada en un dispositivo digital. El objetivo es determinar la impedancia del condensador de salida mediante la respuesta en frecuencia del convertidor. De esta manera la condición del convertidor es monitorizada mediante el uso de puntos de sensado ya disponibles en el convertidor, en este caso, la tensión de salida.

Se usa como señal de perturbación la Pseudo Random Binary Sequence (PRBS) debido a su fácil generación mediante un registro de desplazamiento y su capacidad de perturbar simultáneamente varias frecuencias, reduciendo de forma significativa el tiempo durante el cual el convertidor esta perturbado. La tensión de salida del convertidor perturbado es muestreada y procesada con el objetivo de obtener la respuesta en frecuencia de la función de transferencia tensión de salida-ciclo de trabajo, denominada $G_{vd_id}(f)$. En este caso, el Bode es calculado mediante el uso de la FFT aplicada a las muestras de la tensión de salida y el ciclo de trabajo perturbado. La información en la respuesta en frecuencia incluye los efectos de los diferentes elementos y parámetros del convertidor, tales como: el inductor, la capacidad, tiempos muertos, ciclo de trabajo, etc. en el ancho de banda de interés. Dado que la perturbación es generada a la frecuencia de muestreo f_s , la frecuencia mínima identificada se establece en $f_s/2^{N_{bits}}$, donde N_{bits} es el número de bits de la PRBS. La frecuencia máxima identificada se establece en $f_s/2$.

Existen modelos discretos que describen de forma precisa la respuesta en frecuencia de convertidores controlados digitalmente [10] mediante la función de transferencia tensión de salida-ciclo de trabajo que considera los parámetros mencionados previamente, permitiendo el cálculo de la respuesta en frecuencia teórica, denominada $G_{vd_dm}(f)$. De esta forma, es posible calcular la impedancia del condensador de salida a partir de la respuesta en frecuencia del sistema, asumiendo que el resto de parámetros del convertidor mantienen sus valores inalterados y son conocidos, mediante la comparación de $G_{vd_id}(f)$ y $G_{vd_dm}(f)$.

El modelo discreto considerado en este trabajo ([10]) relaciona las muestras de la tensión de salida con las muestras

de la señal de control (ciclo de trabajo), que es la mejor representación para convertidores con control digital. Sin embargo, este modelo implica el cálculo de matrices exponenciales, que añade coste computacional en la implementación del sistema.

A. Algoritmo de monitorización

Uno de los puntos clave de este proceso es cómo llevar a cabo la comparación entre el resultado de la identificación no paramétrica $G_{vd_id}(f)$ y la respuesta en frecuencia del modelo discreto $G_{vd_dm}(f)$.

Una forma de evaluar la similitud entre ambas funciones de transferencia es usando la distancia Euclídea (1) y obteniendo el coste (2). En esta expresión N es el número de puntos de las respuestas en frecuencia identificada y del modelo discreto. Si se obtiene el coste de la función de transferencia identificada en diferentes instantes de tiempo a lo largo de la vida útil del convertidor y si la variación del coste es significativamente diferente, podría implicar que algunos parámetros del convertidor han cambiado.

$$Ed_n = \sqrt{(G_{vd_id}(f_n) - G_{vd_dm}(f_n))^2} \quad (1)$$

$$Ecost = \sum_n^N Ed_n \quad (2)$$

Sin embargo, usar la distancia Euclídea presenta dos inconvenientes: 1) la longitud de ambos vectores ha de ser la misma; 2) la presencia de ruido influye en el cálculo del coste. El primer inconveniente no es crítico en este caso en particular debido a que el modelo discreto se puede calcular con el mismo vector de frecuencias con el que se obtiene la función de transferencia mediante la identificación. Por otro lado, en el caso del segundo inconveniente existen procesos adicionales que permiten la reducción de la presencia de ruido en el resultado de la identificación de la función de transferencia del convertidor como: coloreado de la perturbación (pre y post filtros de énfasis), descartando parte de datos de la respuesta al impulso obtenida mediante la correlación cruzada y que se considera que no aportan información o aplicando filtros de suavizado al Bode identificado. Ninguna de estas técnicas se ha aplicado en este caso, por lo que se espera que la presencia de ruido sobre todo a alta frecuencia sea especialmente notable.

Para evitar la influencia del ruido, en el presente trabajo, se usa una variación del Dynamic Time Warping (DTW), en lugar de la distancia Euclídea entre dos secuencias. Los algoritmos DTW se usan para medir la distancia entre dos secuencias temporales con el objetivo de determinar la similitud entre ambas sin que influya una fluctuación en el eje temporal o diferencias de tiempo [11][12]. Este algoritmo es ampliamente usado en sistemas de reconocimiento de voz donde pueden existir diferencias temporales entre dos muestras que se consideran idénticas.

El algoritmo proporciona diferentes figuras de mérito para evaluar la similitud entre dos secuencias: coste, match y warp path. El coste es un buen indicador de la similitud entre secuencias y permite determinar la secuencia que presenta mayor similitud con el patrón establecido. En este caso se utiliza

para determinar qué modelo es más similar a la función de transferencia identificada.

El algoritmo requiere calcular una matriz de $M \times N$, siendo M y N la longitud de las secuencias a comparar. Cada columna de la matriz representa la distancia Euclídea de un punto de la secuencia con respecto a todos los puntos de la otra secuencia más el mínimo establecido por las celdas adyacentes. Cada elemento de la matriz se calcula mediante (3). La diferencia con respecto al DTW convencional es que el valor mínimo se obtiene sin considerar ninguna función de peso que influya en la selección. El elemento $d_{m,n}$ de la matriz establece el coste.

Hay varias alternativas para mejorar la velocidad de cálculo de este algoritmo [12].

$$d_{m,n} = \sqrt{(G_{vd_{id}}(f_m) - G_{vd_{dm}}(f_n))^2} + \min \begin{cases} d_{m-1,n-1} \\ d_{m-1,n} \\ d_{m,n-1} \end{cases} \quad (3)$$

El algoritmo de monitorización se ejecuta de forma periódica en una plataforma digital, siguiendo el diagrama de flujo que se describe en la Figura 2. Primero, se realiza una identificación inicial del convertidor a monitorizar $G_{vd_{id}}(f)$. Posteriormente se calcula el modelo discreto $G_{vd_{md}}(f)$, se ejecuta el algoritmo DTW y se obtiene el coste. Si la variación del coste no es mayor al 5% con respecto al coste calculado previamente, el sistema considera que no se ha producido un cambio significativo en los parámetros del convertidor y no realiza ninguna acción. Si la variación es mayor al 5% el sistema ejecuta la identificación paramétrica de la impedancia del condensador de salida, con el objetivo de determinar la capacidad y resistencia serie equivalente que permitan la máxima similitud entre función de transferencia del modelo discreto y el identificado.

B. Determinación de la impedancia del condensador de salida

El algoritmo que calcula la impedancia del condensador de salida también es implementado en la plataforma digital junto con la etapa de control y el algoritmo de monitorización. Como los parámetros a estimar son dos, la capacidad C y la resistencia serie equivalente ESR, el procedimiento se realiza de forma secuencial. En las diferentes pruebas realizadas el algoritmo proporciona mejores resultados cuando se estima primero la capacidad y después la resistencia.

El proceso desarrollado sigue el diagrama de flujo representado en la Figura 3. Dado que el proceso se ejecuta después de que el algoritmo de monitorización detecte cambios notables entre la función de transferencia actual identificada del convertidor y el establecido por el modelo discreto, se calcula un nuevo modelo discreto $G_{vd_{dm}}(f)$ disminuyendo el valor de la capacidad de salida C . El Bode identificado $G_{vd_{id}}(f)$ se compara con el nuevo modelo discreto mediante la aplicación del algoritmo DTW. Si el coste de la comparación incrementa (menos similitud) o no hay una mejora significativa (menor del 5%) el proceso finaliza.

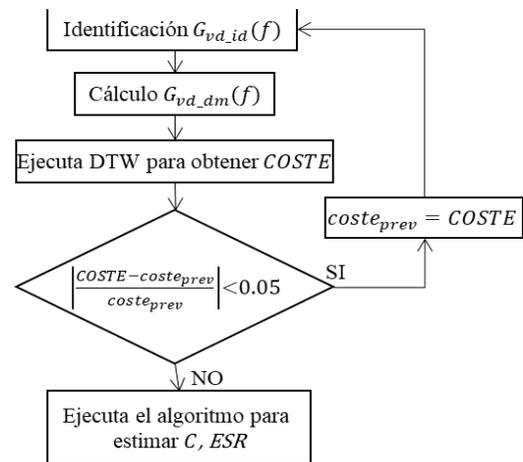


Figura 2 Diagrama de flujo del algoritmo de monitorización del estado del convertidor.

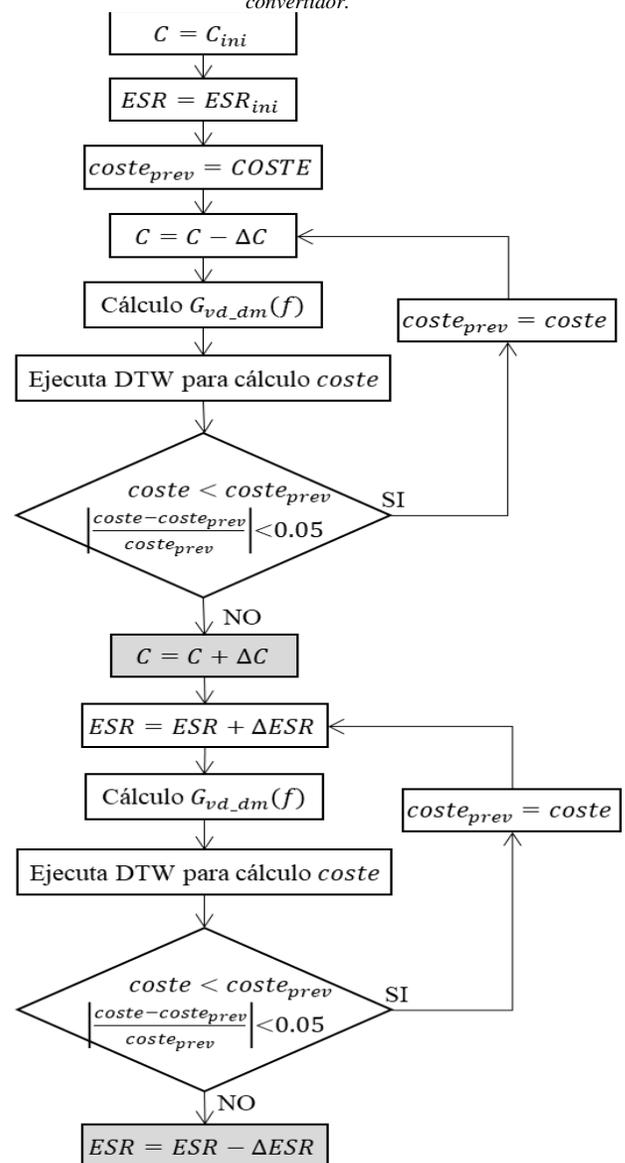


Figura 3 Diagrama de flujo del algoritmo propuesto para la determinación de la impedancia del condensador de salida.

Tabla 1 Valores de capacidad y ESR medidas con un analizador de impedancia y la determinada por el sistema

Test	N. de condensadores en paralelo	Capacidad medida (μF)	Identificada C (μF)	Error C (%)	Medida ESR (Ω)	Identificada ESR (Ω)	Error ESR (%)	Coste
Inicial	10	336.71	-	-	0.04028	-	-	14.67
1	9	293.98	299.5	1.88	0.05561	0.04738	14.80	15.07
2	8	266.02	261	1.89	0.0484	0.04738	2.11	15.06
3	7	212.81	214.07	0.59	0.06883	0.06817	0.96	16.74
4	6	171.68	161.92	5.68	0.06447	0.06941	7.66	15.31
5	4	122.914	114.81	6.59	0.08699	0.08223	5.47	17.3
6	3	88.25	86.37	2.13	0.100445	0.10495	4.49	18.29

El nuevo valor de capacidad es aquella con la cual se obtiene la mejor similitud entre función de transferencia experimental y teórica, almacenando su valor. El proceso se repite, pero esta vez incrementando el valor de la ESR y manteniendo el valor de la capacidad con la que se obtuvo la mejor similitud. Al igual que en la capacidad, el proceso finaliza cuando el coste de la comparación incrementa o su mejora no es significativa. Durante el proceso, se asume que los valores de los demás parámetros del convertidor se mantienen constantes. Dependiendo del valor obtenido de la impedancia del condensador de salida, el sistema de control puede proporcionar una alerta de mantenimiento del equipo.

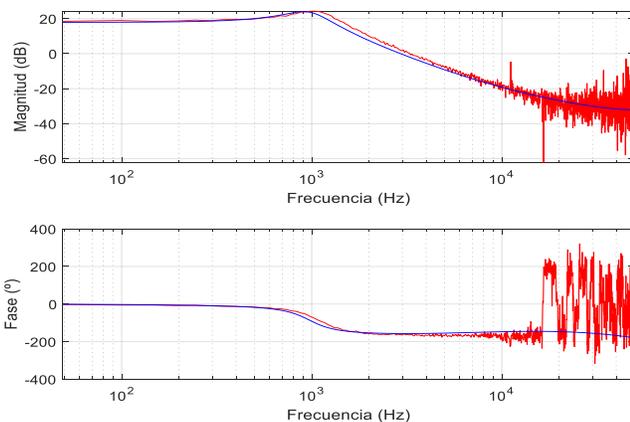


Figura 4 Comparación de la respuesta en frecuencia identificada con nueve condensadores en paralelo (línea roja) con el modelo discreto del convertidor reductor con diez condensadores en paralelo (línea azul)

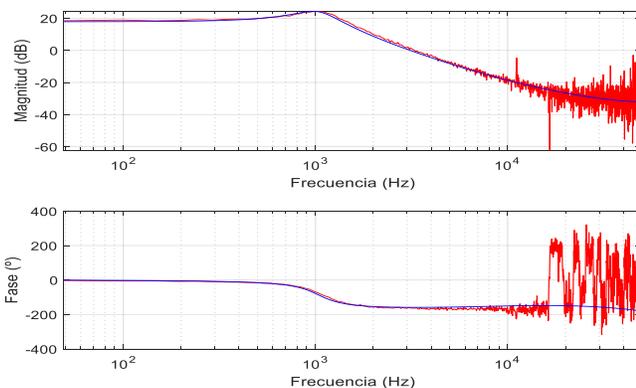


Figura 5 Comparación de la respuesta en frecuencia identificada con nueve condensadores en paralelo (línea roja) y el nuevo modelo discreto del convertidor reductor con la capacidad y ESR determinadas por el algoritmo para nueve condensadores en paralelo (línea azul)

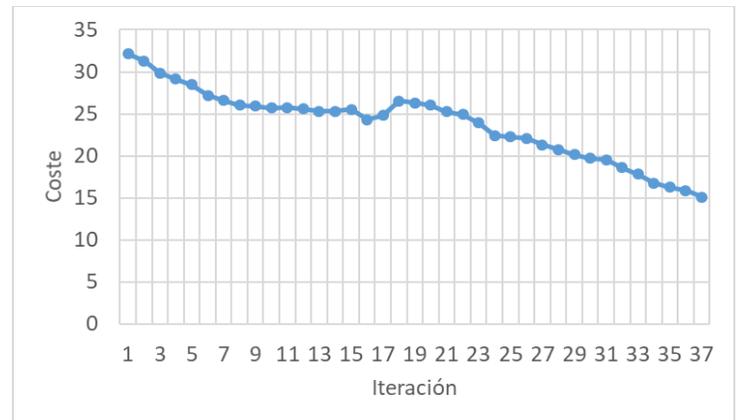


Figura 6 Evolución del coste para el test 1

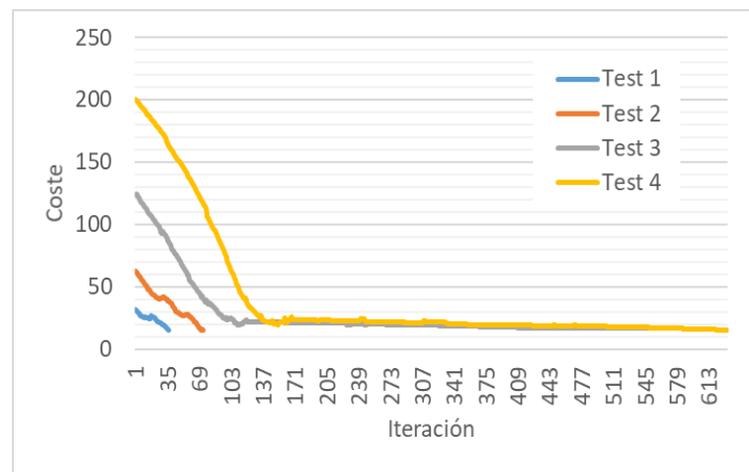


Figura 7 Evolución del coste para los diferentes tests

III. RESULTADOS EXPERIMENTALES

Para validar el sistema propuesto, se han realizado varias pruebas experimentales en un convertidor reductor donde el condensador de salida es un grupo de condensadores conectados en paralelo. La etapa de identificación y control se implementan en la tarjeta digital Zybo que incorpora un SoC Zynq 7010 de Xilinx. Las pruebas se han realizado de forma off-line, es decir, captura de datos y posterior procesado en Matlab. Actualmente tanto el sistema de monitorización del estado del convertidor como el proceso de determinación de los valores de capacidad y ESR están implementados y validados en el dispositivo digital mencionado.

Con el objetivo de optimizar tiempo y recursos en la aplicación del algoritmo DTW, solo se considera la función de cálculo del coste y la matriz de coste se ha implementado de una forma dinámica. Debido a que el sistema no usa el match o el warp path, no es necesaria la construcción completa de la matriz, por lo que se usa un sistema de dos columnas, pasando así de una matriz de $M \times N$ a una matriz de $M \times 2$ donde estas dos columnas se desplazan a lo largo de la matriz completa pero sin almacenar datos ya que el objetivo final es calcular el valor de la celda $d_{m,n}$ que es la que determina el coste. Por lo que, si la respuesta en frecuencia identificada tiene una longitud de 1024 puntos, se pasaría de una matriz de 1024×1024 a una matriz de 1024×2 reduciendo así de forma significativa la demanda de recursos en la plataforma digital en la que se implementará.

Para emular la pérdida de capacidad, en cada prueba se sustrae un condensador del grupo de condensadores apilados en paralelo. Por ejemplo, la Figura 4 muestra la comparación del modelo discreto original del convertidor con la respuesta en frecuencia medida cuando uno de los condensadores es retirado del grupo. Una vez identificada la respuesta en frecuencia del convertidor se procede a ejecutar el algoritmo DTW para la obtención del coste con el objetivo de detectar diferencias entre las funciones de transferencia experimental y teórica (Figura 2). Cuando el incremento del coste es mayor al 5%, el sistema considera que algunos parámetros han cambiado, por lo que ejecuta el algoritmo de cálculo de la impedancia del condensador de salida mediante el reajuste de los valores de estos parámetros en el modelo discreto (Figura 3). En la Figura 5 se muestra el resultado del reajuste, donde se observa que la respuesta en frecuencia del modelo discreto calculado con los nuevos valores de capacidad y ESR presentan similitud con el Bode experimental.

En la Tabla 1 se detallan los resultados obtenidos en las diferentes pruebas realizadas. La primera fila corresponde al conjunto original de 10 condensadores en paralelo y el coste calculado (14,67) se asocia al ruido que presenta la medida. Como se ha indicado anteriormente, el sistema de identificación no usa procesos adicionales de reducción de ruido por lo que el Bode identificado presenta a altas frecuencias (aproximadamente entre 10KHz y 50KHz) fluctuaciones. Para evitar la influencia del ruido se consideran los puntos comprendidos hasta la frecuencia de 11KHz en todos los experimentos.

La Tabla 1 también incluye los valores de capacidad y ESR del condensador de salida (para diferente número de condensadores en paralelo) medidos con un analizador de impedancia, la capacidad y ESR calculada, el error entre la estimación y la medida y el coste final del modelo estimado. Como se observa, salvo un resultado los demás se mantienen por debajo del 8% de error. El coste final de cada estimación incrementa ligeramente.

La evolución del coste durante el proceso de iteración se representa en la Figura 6 y Figura 7. El proceso disminuye en cada iteración el valor de la capacidad hasta obtener el mínimo coste, cuando este se produce se almacena el valor de la capacidad y se continua el proceso ajustando el valor de la ESR, incrementando su valor, hasta obtener el mínimo coste o que este no mejore significativamente. En la Figura 6 se muestra este

proceso, el ajuste de la capacidad finaliza en la iteración 16 y el de la ESR en la iteración 37. En la Figura 7 se muestra la evolución del coste para las diferentes pruebas, como se observa el aumento del coste es drástico cuanto mayor es la diferencia del valor de la capacidad inicial (test inicial) y el valor de la capacidad que se considera en cada prueba, también se observa un incremento considerable en el número de iteraciones necesarias para la finalización del proceso.



Figura 8 Comparación de los resultados del cálculo de la capacidad del condensador de salida obtenido con la distancia Euclídea (DE) y el obtenido con el Dynamic Time Warping (DTW).

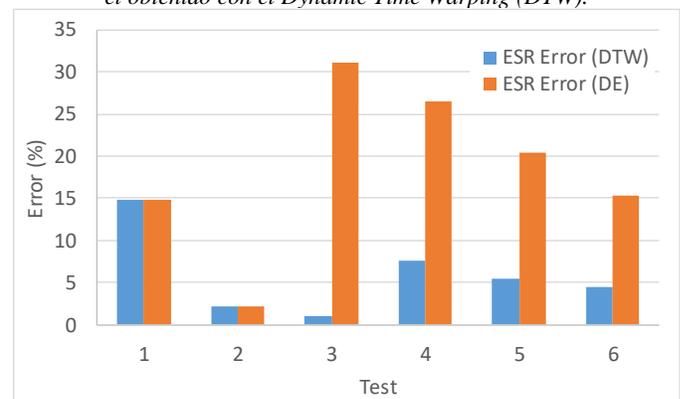


Figura 9 Comparación de los resultados del cálculo de la ESR del condensador de salida obtenido con la distancia Euclídea (DE) y el obtenido con el Dynamic Time Warping (DTW).

Para mejorar los tiempos de ejecución del proceso de ajuste y reducir el número de iteraciones se puede considerar iniciar el proceso con el valor de la impedancia calculado en el proceso previo en lugar del valor de la impedancia inicial o incrementar la diferencia máxima permitida en el coste (actualmente establecida en el 5%).

Por último, se ha llevado a cabo la identificación paramétrica usando la distancia Euclídea (DE) como se describe en la sección II. Por un lado, el proceso con la distancia Euclídea requiere menos tiempo, dado que solo es necesario el cálculo de un único vector de longitud N , mientras que el DTW es aproximadamente tres veces más lento. Por otro lado, el algoritmo DTW proporciona resultados más precisos en el cálculo de los parámetros. En la Figura 8 y la Figura 9 se comparan los resultados obtenidos usando cada método. En estas figuras se compara el error en la estimación del parámetro usando ambos métodos para las 6 pruebas indicadas en la Tabla

1. Respecto a la identificación de la capacidad, no existen diferencias importantes entre ambos métodos como se muestra en la Figura 8. Los errores son similares excepto en la prueba 5 donde la estimación de la capacidad proporcionada por el DTW es peor que la estimada por la DE. Sin embargo, el DTW proporciona estimaciones mucho más precisas en el caso de la ESR, con errores por debajo del 10%, mientras que los errores usando la DE son superiores al 15% en al menos cuatro de las pruebas realizadas, y el error máximo es superior al 30%. En conclusión, la DE es más rápida mientras que el DTW es más preciso.

Tomando en cuenta los resultados obtenidos, se ha demostrado que el algoritmo propuesto está en capacidad de detectar variaciones en el condensador de salida e identificar el valor de capacidad y ESR.

IV. CONCLUSIONES

En este artículo se presenta un sistema de identificación paramétrica para la estimación de la capacidad C y la resistencia serie equivalente ESR del condensador de salida en convertidores de potencia, basado en el análisis de la respuesta en frecuencia del convertidor aplicando el algoritmo de Dynamic Time Warping (DTW).

Primero, es necesario la identificación no paramétrica de la respuesta en frecuencia, basada en la aplicación de una perturbación y posterior procesado de la tensión de salida muestreada aplicando el análisis de Fourier. Una vez identificada la respuesta en frecuencia del convertidor, esta es comparada con el modelo discreto del convertidor usando el algoritmo DTW para calcular el coste. Este coste es una figura de mérito para valorar la similitud entre dos secuencias. Si la similitud no es satisfactoria, el algoritmo ajusta secuencialmente los valores de C y ESR en el modelo discreto del convertidor hasta conseguir la máxima similitud con la respuesta en frecuencia identificada.

La comparación entre el modelo usado para estimar los parámetros y la respuesta en frecuencia identificada se realiza usando el algoritmo DTW, en lugar de la clásica distancia Euclídea.

Las medidas experimentales realizadas con un convertidor reductor validan el sistema propuesto, obteniendo una media de error por debajo del 3,2% (en la capacidad) y 6% (en la ESR). Usar el DTW en lugar de la distancia Euclídea conlleva a un proceso más lento, pero con resultados más precisos, especialmente en términos de la estimación de la ESR.

V. AGRADECIMIENTOS

Este trabajo está financiado por FEDER/Ministerio de Ciencia, Innovación y Universidades – Agencia Estatal de Investigación (Proyecto DPI2017-88062-R).

VI. REFERENCIAS

- [1] G. M. Buiatti, J. A. Martín-Ramos, C. H. Rojas Garcia, A. M. R. Amaral and A. J. Marques Cardoso, "An Online and Noninvasive Technique for the Condition Monitoring of Capacitors in Boost Converters," in *IEEE Transactions on Instrumentation and Measurement*, vol. 59, no. 8, pp. 2134-2143, Aug. 2010.
- [2] J. Morroni, A. Dolgov, M. Shirazi, R. Zane, and D. Maksimovic, "Online Health Monitoring in Digitally Controlled Power Converters," in *2007 IEEE Power Electronics Specialists Conference*, 2007, pp. 112-118.
- [3] M. Al-Greer, M. Armstrong, M. Ahmeid, and D. Giaouris, "Advances on System Identification Techniques for DC-DC Switch Mode Power Converter Applications," *IEEE Trans. Power Electron.*, vol. 34, no. 7, pp. 6973-6990, 2019.
- [4] S. Roy and F. Khan, "State of health (SOH) estimation of multiple switching devices using a single intelligent gate driver module," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 458-463.
- [5] V. A. Sankaran, F. L. Rees, and C. S. Avant, "Electrolytic capacitor life testing and prediction," in *IAS '97. Conference Record of the 1997 IEEE Industry Applications Conference Thirty-Second IAS Annual Meeting*, 1997, vol. 2, pp. 1058-1065 vol.2.
- [6] H. Wang, M. Liserre, and F. Blaabjerg, "Toward Reliable Power Electronics: Challenges, Design Tools, and Opportunities," *IEEE Ind. Electron. Mag.*, vol. 7, no. 2, pp. 17-26, 2013.
- [7] B. X. Li and K. S. Low, "Low Sampling Rate Online Parameters Monitoring of DC-DC Converters for Predictive-Maintenance Using Biogeography-Based Optimization," *IEEE Trans. Power Electron.*, vol. 31, no. 4, pp. 2870-2879, 2016.
- [8] C. Fernández, P. Zumel, M. Granda, M.Sanz, A. Lazaro, and A. Barrado, "Automated calculation of the compensator based on the online identification of the plant operating in closed loop," in *Conference Proceedings – IEEE Applied Power Electronics Conference and Exposition – APEC*, 2017.
- [9] C. Fernández, P. Zumel, M. Granda, M.Sanz, A. Lazaro, and A. Barrado, "SoC implementation of an autonomous identification and control system for DC/DC power converters," in *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics, COMPEL*, 2016.
- [10] D. Maksimovic and R. Zane, "Small-Signal Discrete-Time Modeling of Digitally Controlled PWM Converters," *IEEE Trans. Power Electron.*, vol. 22, no. 6, pp. 2552-2556, 2007.
- [11] S. Salvador and P. Chan, "Toward accurate dynamic time warping in linear time and space," *Intell. Data Anal.*, vol. 11, pp. 561-580, Oct. 2007.
- [12] H. Sakoe and S. Chiba, "Dynamic programming algorithm optimization for spoken word recognition," *IEEE Trans. Acoust.*, vol. 26, no. 1, pp. 43-49, 1978